

Memorie

Corso di Calcolatori Elettronici A

2007/2008

Sito Web: <http://prometeo.ing.unibs.it/quarella>

Prof. G. Quarella

prof@quarella.net

Tipi di memorie

Possono essere classificate in base a varie caratteristiche:

- Conservazione dell'informazione
- Modalità di scrittura
- Modalità di accesso
- Implementazione
 - Chip
 - Dischi magnetici: hard disk, floppy disk
 - Nastri
 - CD, DVD

Tipi di memorie

- Memorie **volatili**: mantengono l'informazione solo se correttamente alimentate
- Memorie **a sola lettura**
 - ROM (Read Only Memory)
 - PROM (Programmable ROM)
 - EPROM (Erasable PROM)
 - EEPROM (Electrically EPROM) – (Flash)
- Memorie ad **accesso casuale**: il tempo impiegato per accedere ad una data locazione è uguale per ogni locazione di memoria
 - RAM (Random Access Memory)
- Memorie ad **accesso sequenziale**
 - Nastri

Memory chip

Le memorie basate su chip (ROM, RAM) sono caratterizzate da:

Altezza = numero di locazioni indirizzabili

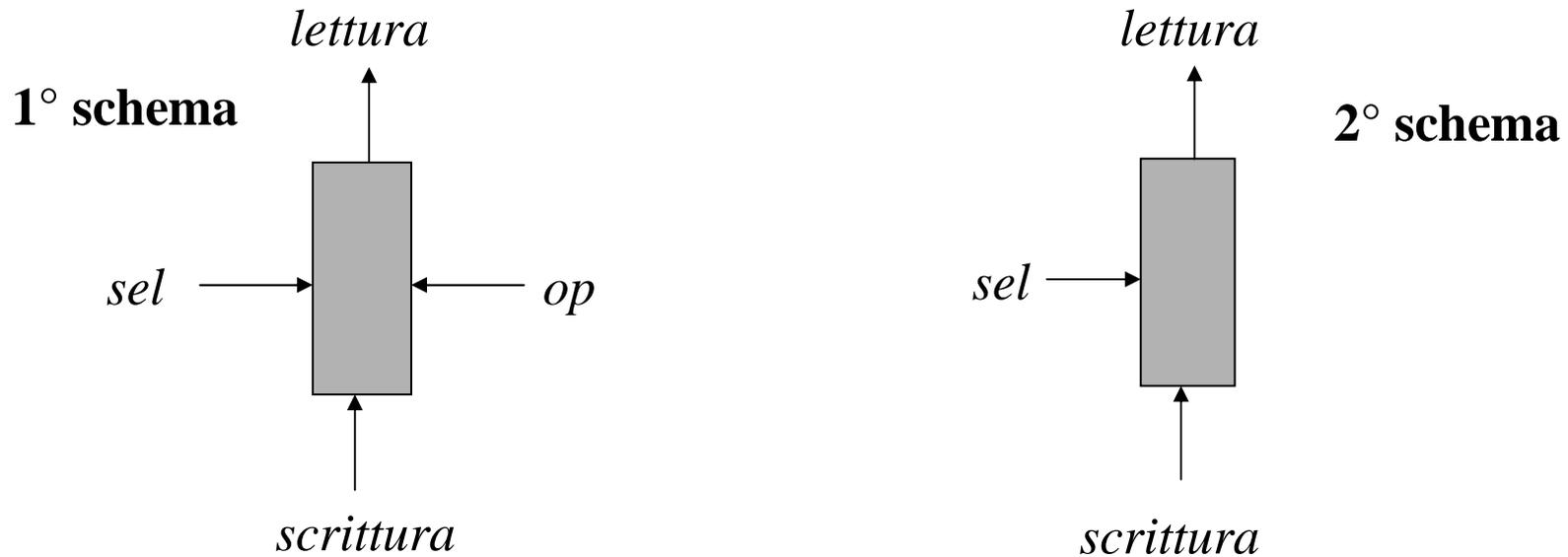
Ampiezza = numero di bit che possono essere letti o scritti durante una operazione di IO

Es.: 32K x 8: altezza pari a 32.768 locazioni di memoria ognuna pari a 8 bit (ampiezza). Si hanno quindi 15 linee di indirizzo e 8 linee di dato.

Cella elementare di memoria

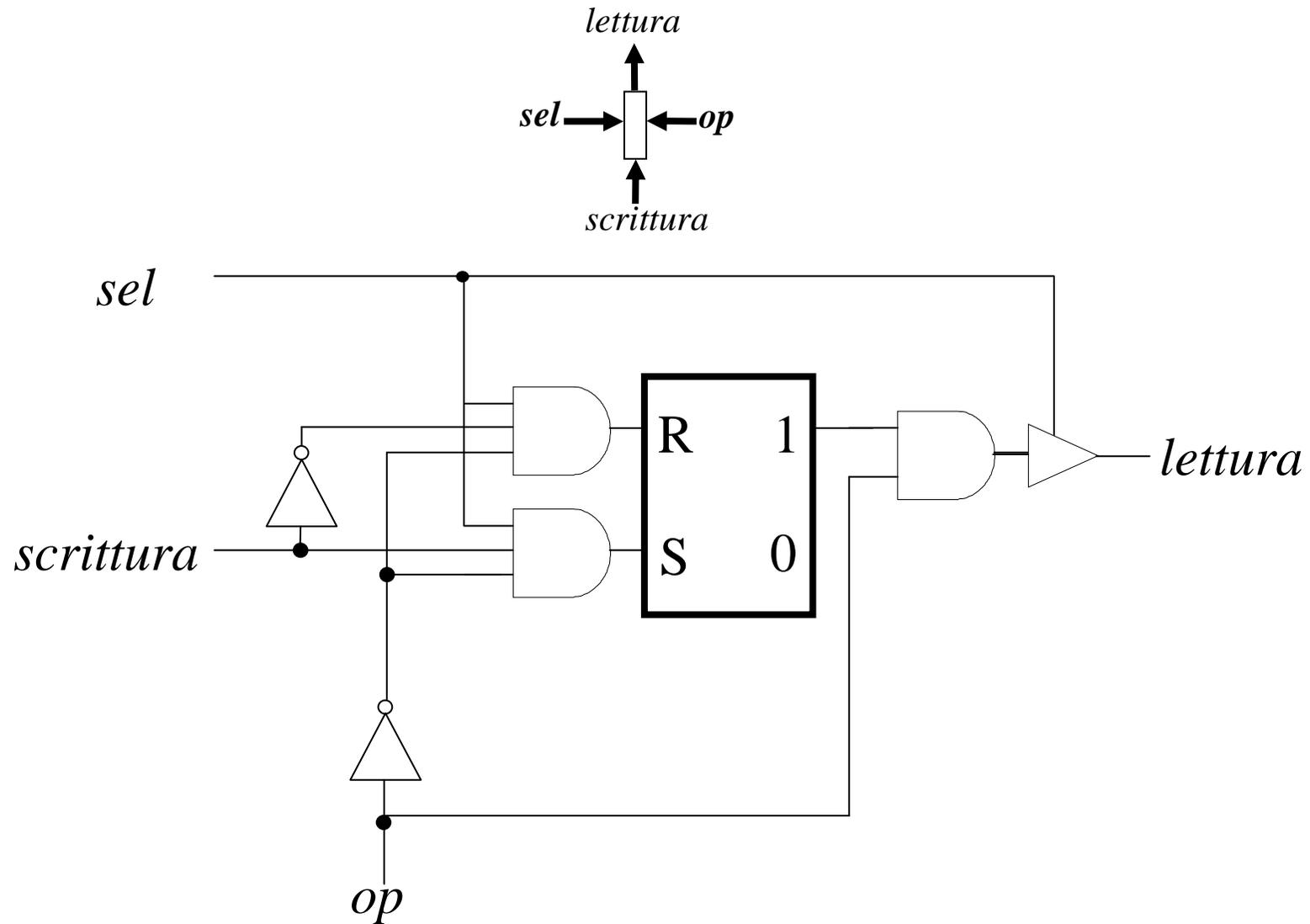
- Conserva nel tempo l'informazione memorizzata (nel nostro caso un singolo bit)
- Consente di leggere il contenuto su un'opportuna linea di uscita
- Consente di scrivere nella cella un valore arbitrario presente su una linea di scrittura

Cella elementare di memoria

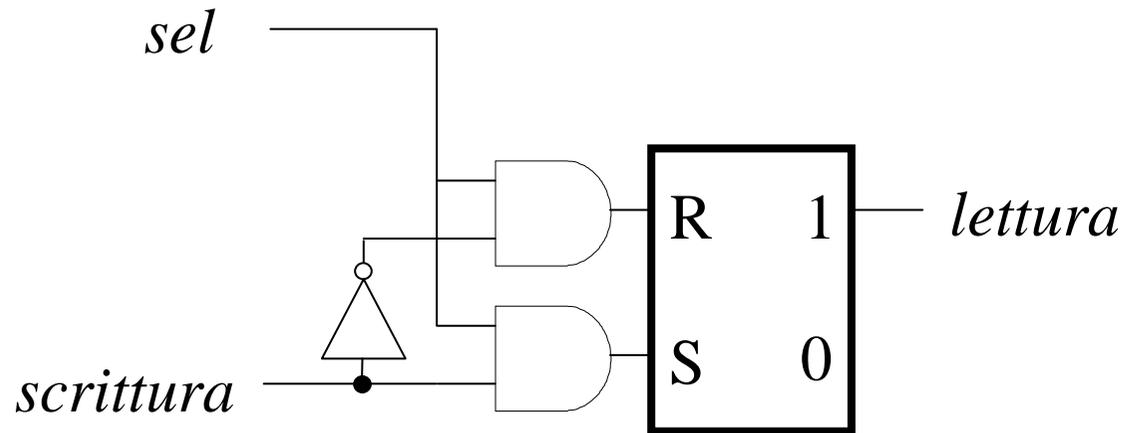
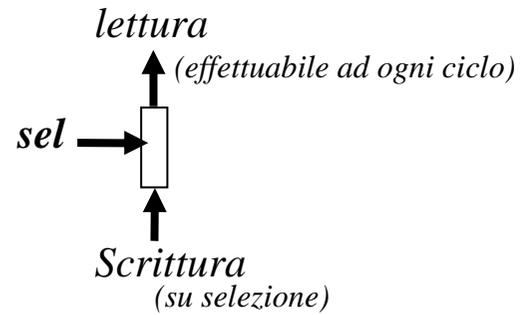


- Linea *op* (operazione): specifica se lettura o scrittura
- Linea *sel* (selezione): specifica se la cella è stata selezionata per un'operazione di lettura o scrittura
- Nel secondo schema la linea *op* è inglobata nella linea *sel*: la scrittura può essere effettuata solo se la cella è stata selezionata, la lettura può essere sempre effettuata

Cella elementare di memoria (1)



Cella elementare di memoria (2)

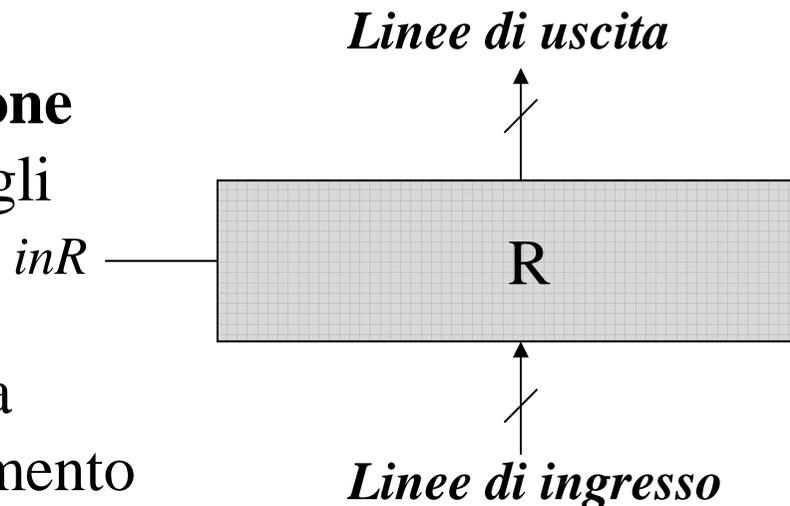


Registri

- Le informazioni elaborate da un calcolatore sono rappresentate da **parole**: gruppi di bit considerati come unità indivisibili di informazione
- Un **registro** è una cella di memoria in grado di contenere tutti gli n bit di una parola

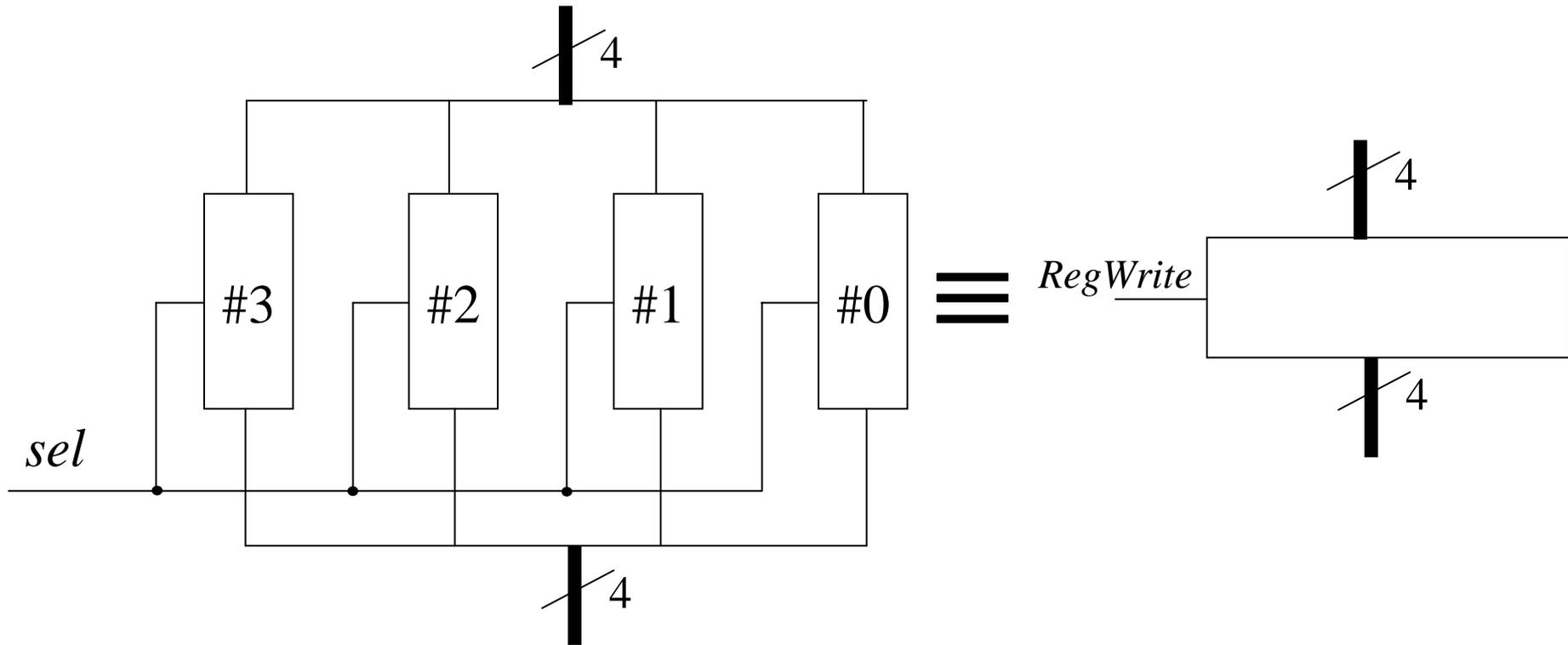
inR è una **linea di selezione** che abilita la scrittura degli n bit del registro

A volte è usata anche una linea *resetR* per l'azzeramento del registro



Schema di un registro della CPU

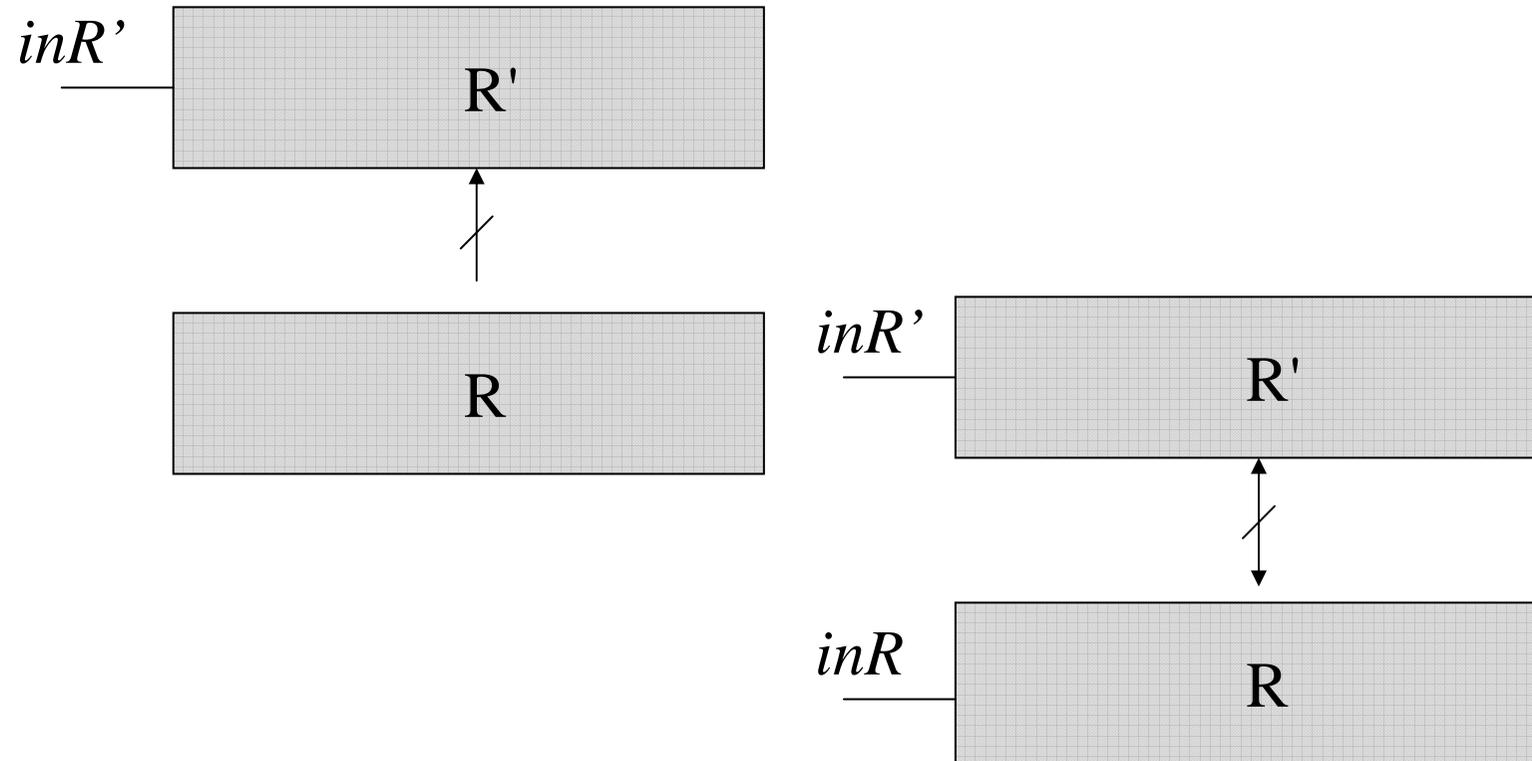
Registro



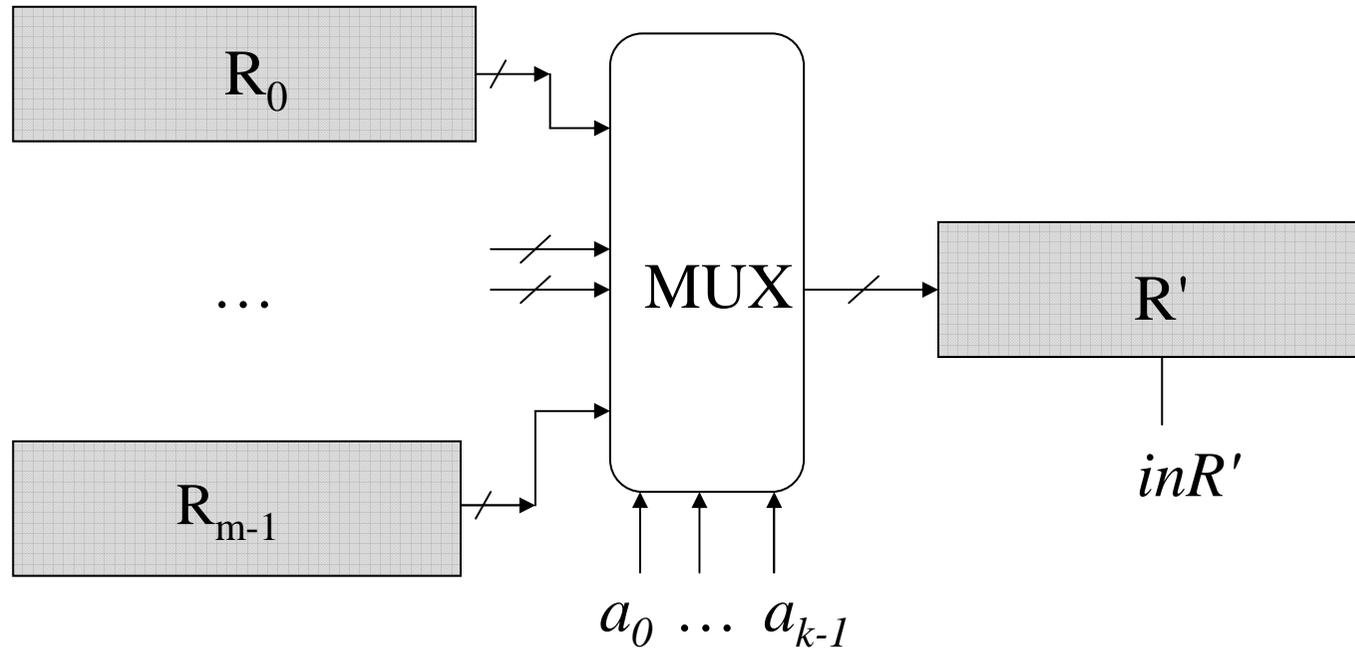
Reti combinatorie per il trasferimento di informazione

- I **registri** sono costruiti a partire da latch o flip-flop e sono quindi *macchine sequenziali*
- Esistono 4 tipi di reti combinatorie per realizzare l'*interconnessione* fra più registri:
 - **Punto-a-punto**: da registro sorgente prefissato a registro destinazione prefissato
 - **Multiplexer**: da registro sorgente variabile a registro destinazione prefissato
 - **Con decodificatore**: da registro sorgente prefissato a registro destinazione variabile
 - **Tramite bus**: da registro sorgente variabile a registro destinazione variabile

Interconnessione punto-a-punto

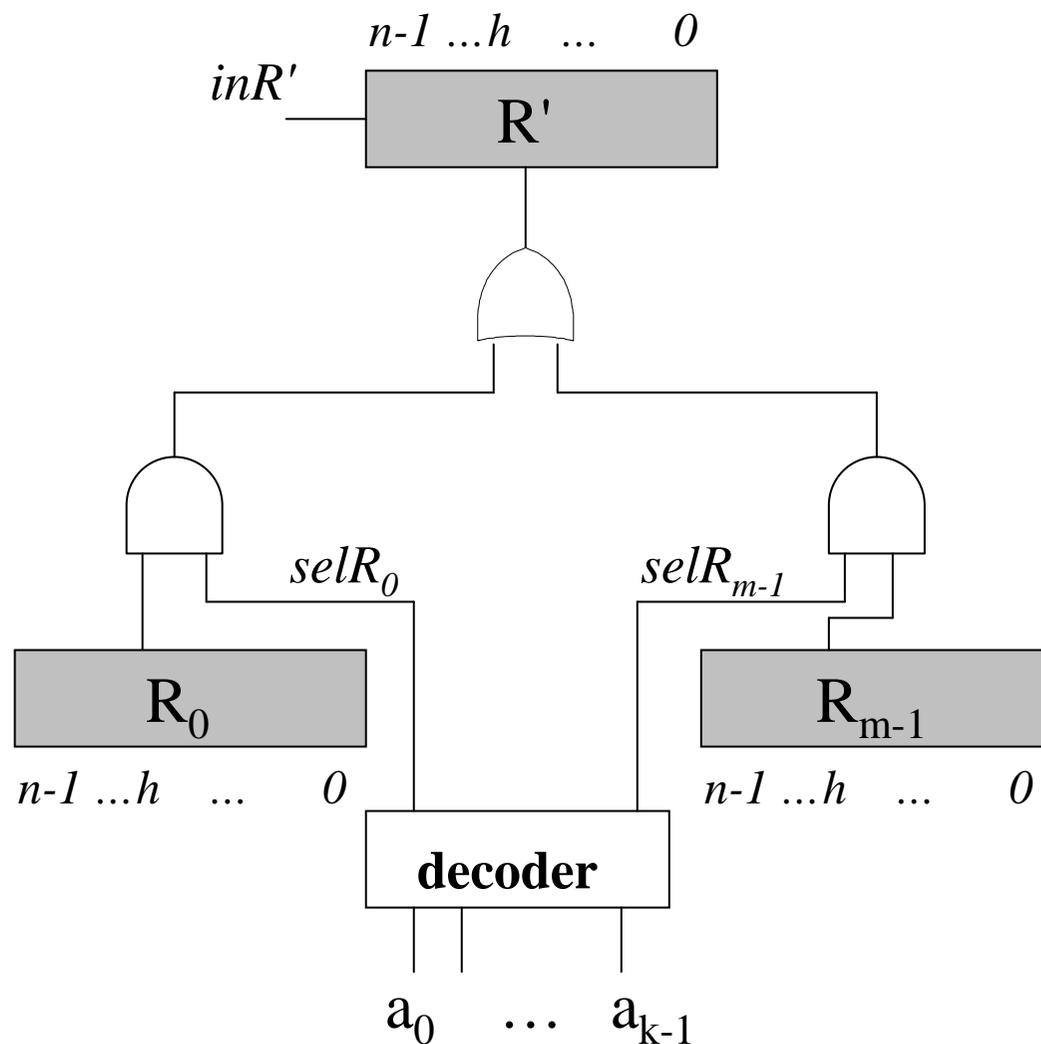


Interconnessione Multiplexer



- Il multiplexer ha come **ingressi** m fasci di n linee corrispondenti ai valori dei registri e $k = \lceil \log_2(m) \rceil$ linee a_0, \dots, a_{k-1} per codificare gli m possibili indici dei registri
- Quando inR' vale 1, il contenuto del registro il cui indice è codificato dalle k linee di selezione a_0, \dots, a_{k-1} è copiato in R'

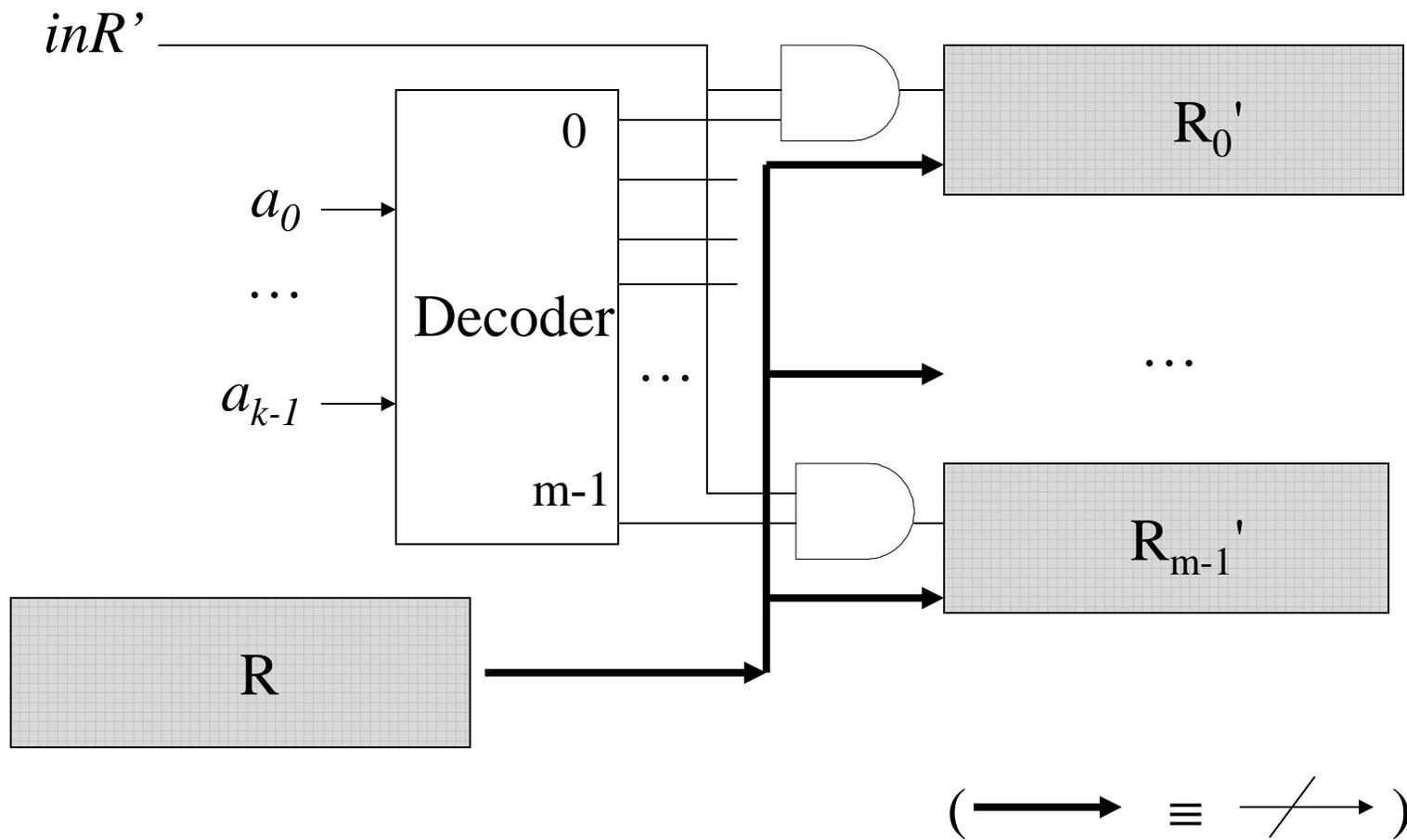
Realizzazione di una rete multiplexer



La figura illustra la rete relativa all'ingresso di un generico latch (contenente il bit h -esimo) del registro destinazione R'

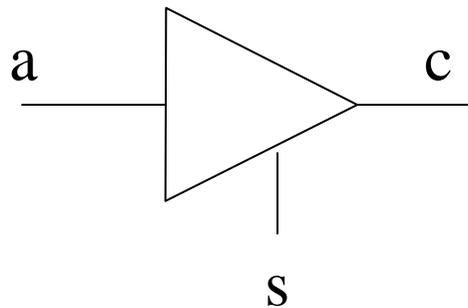
Il decodificatore a k ingressi è usato per creare una linea di selezione ($selR_i$) per ognuno degli m registri sorgente

Rete 1-a-m con decodificatore



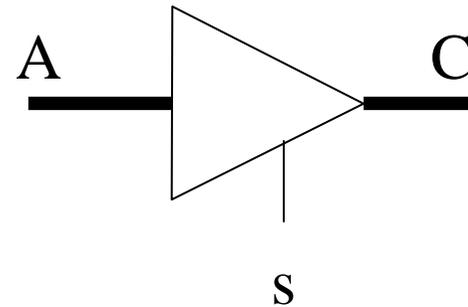
Buffer tri-state

Dispositivo a 3 stati:

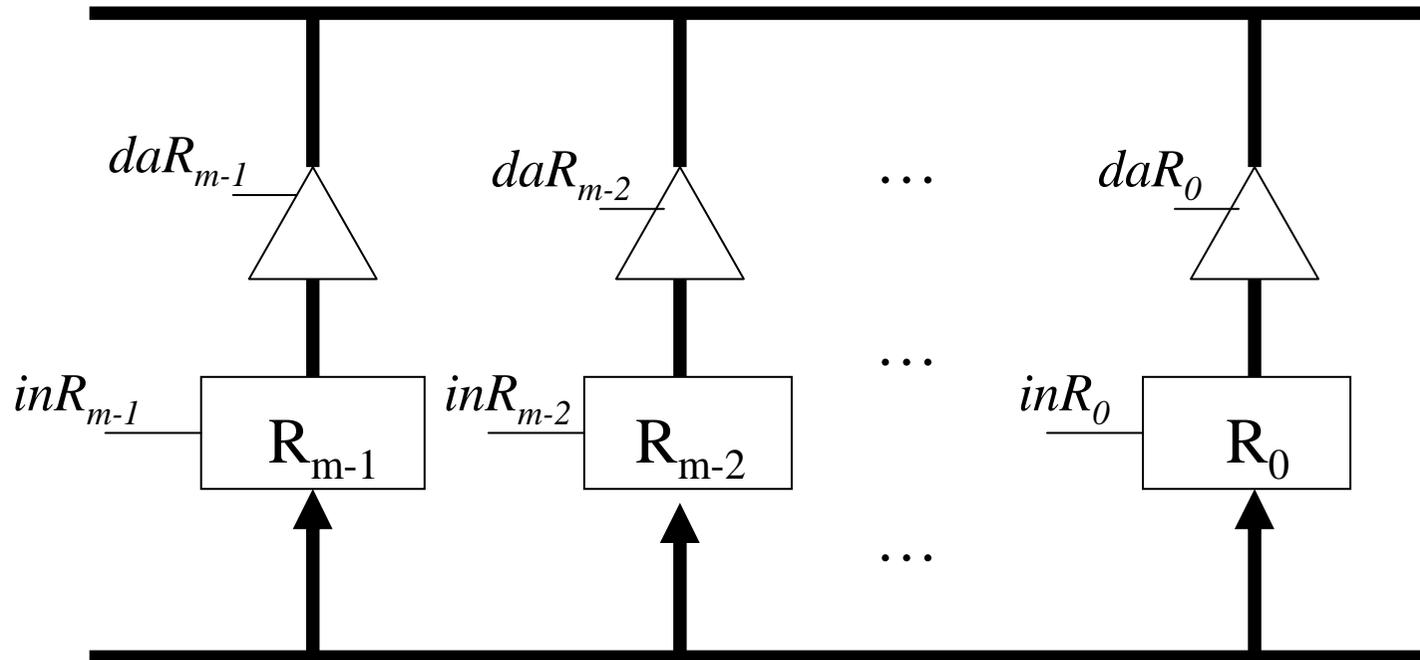


| | |
|---------------|--------------------------------|
| $s=0$ | circuito aperto |
| $s=1$ e $a=0$ | circuito chiuso e uscita $c=0$ |
| $s=1$ e $a=1$ | circuito chiuso e uscita $c=1$ |

Collegando n buffer tri-state fra 2 fasci di n linee A e C è possibile collegare tra loro le n linee di A e C con un singolo segnale di controllo s

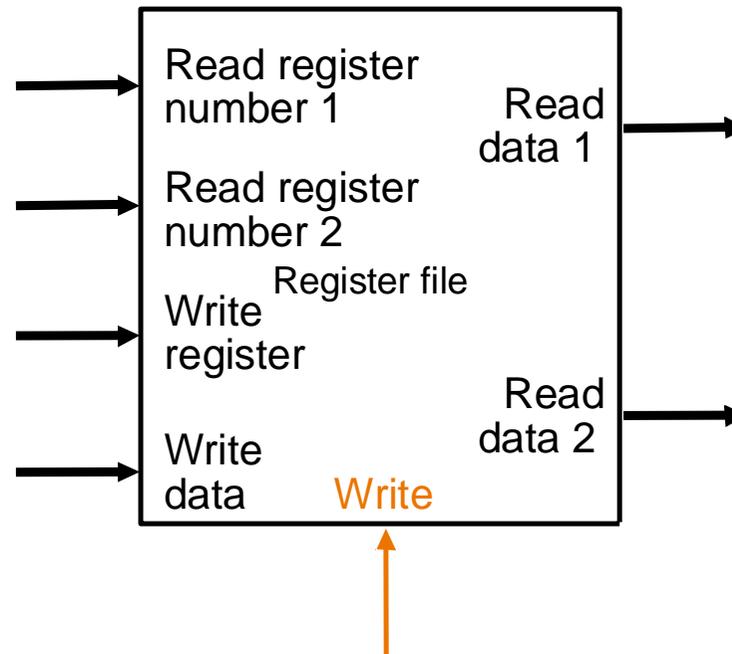


Interconnessione tramite bus

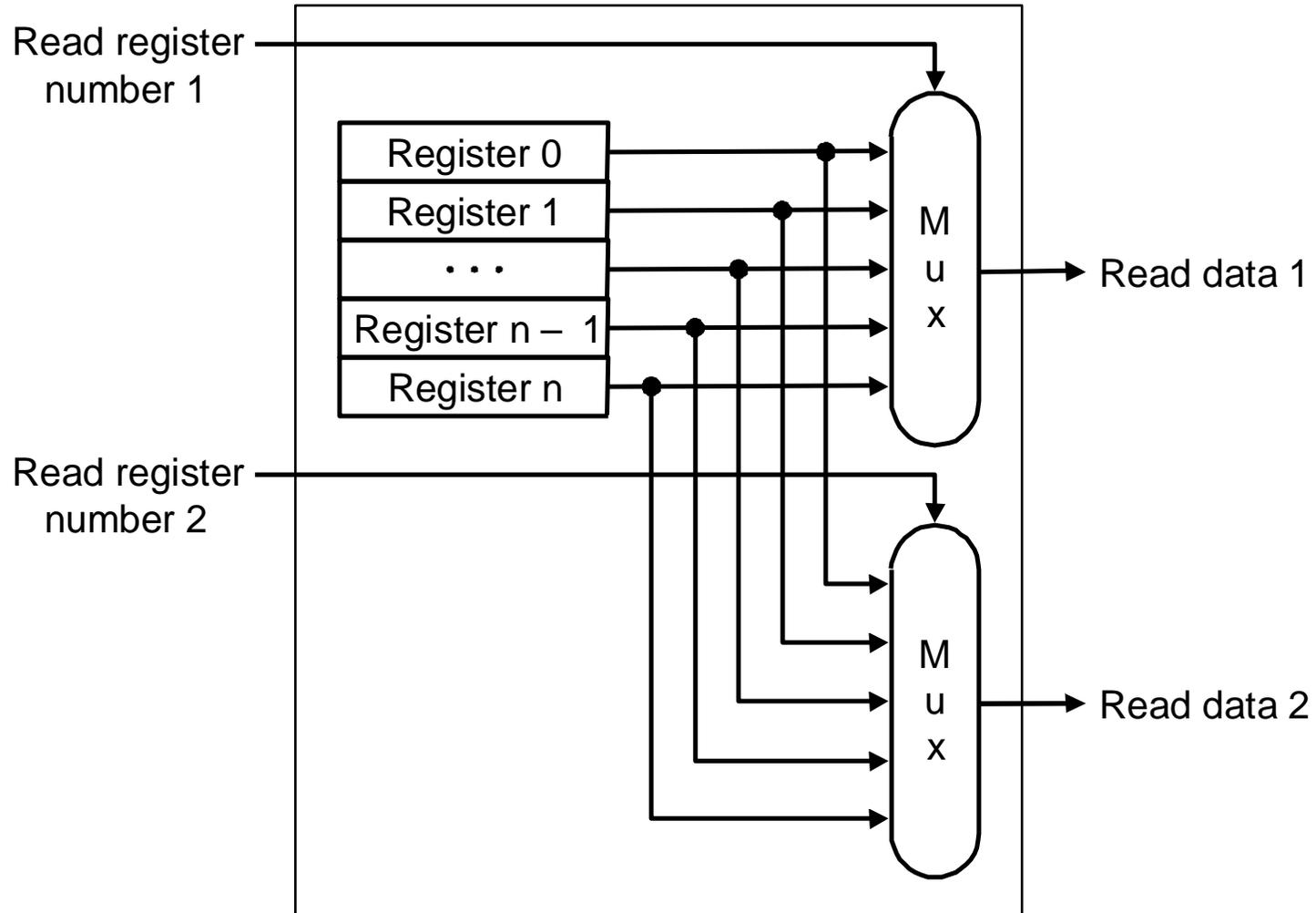


- **Trasferimento da R_i a R_j :** si attiva la linea di selezione dell' i -esimo buffer tri-state (daR_i) e quella di selezione del registro R_j (inR_j)
- I bus non consentono di effettuare **trasferimenti simultanei** nello stesso ciclo di clock (occorrono bus specializzati che collegano tra loro gruppi di registri logicamente indipendenti)

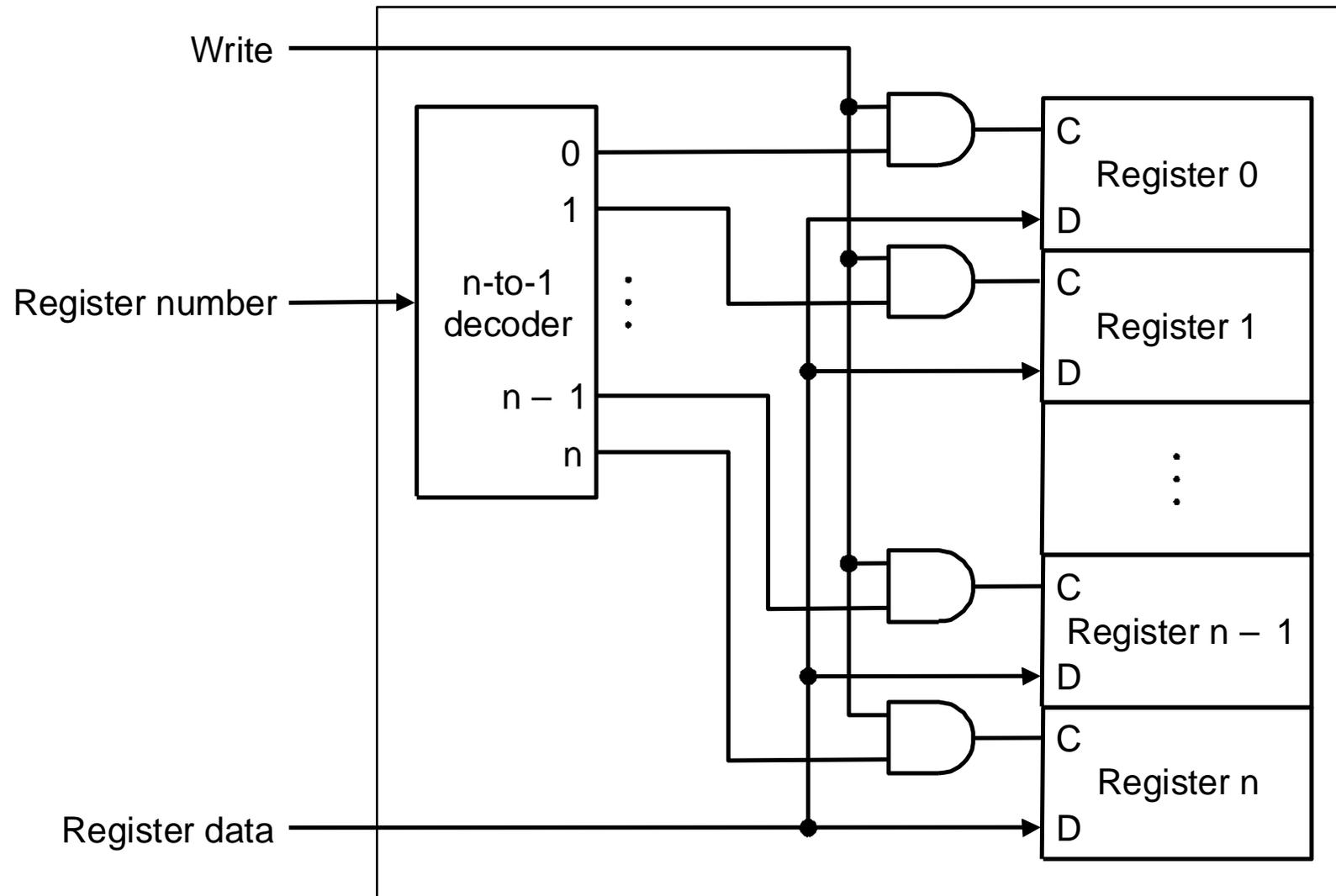
Register File



Register File



Register File



SRAM

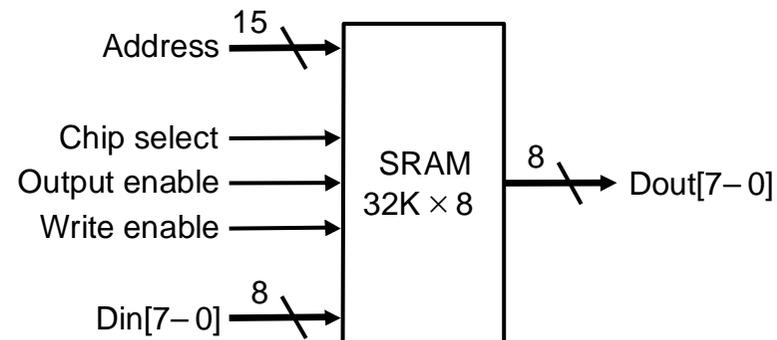
Static RAM (si contrappone a Dynamic...)

Implementazione tramite latch

Per motivi tecnici le più nuove e veloci sono caratterizzate da un'ampiezza "stretta" (1 – 4)

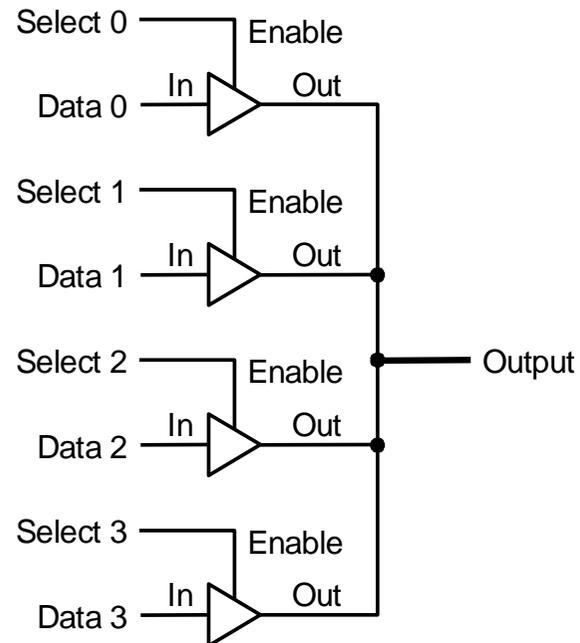
Tempi tipici di accesso in lettura: 2-4 ns per memorie CMOS (piccole e strette), 8-20 per le più grandi

Utilizzata per memorie cache



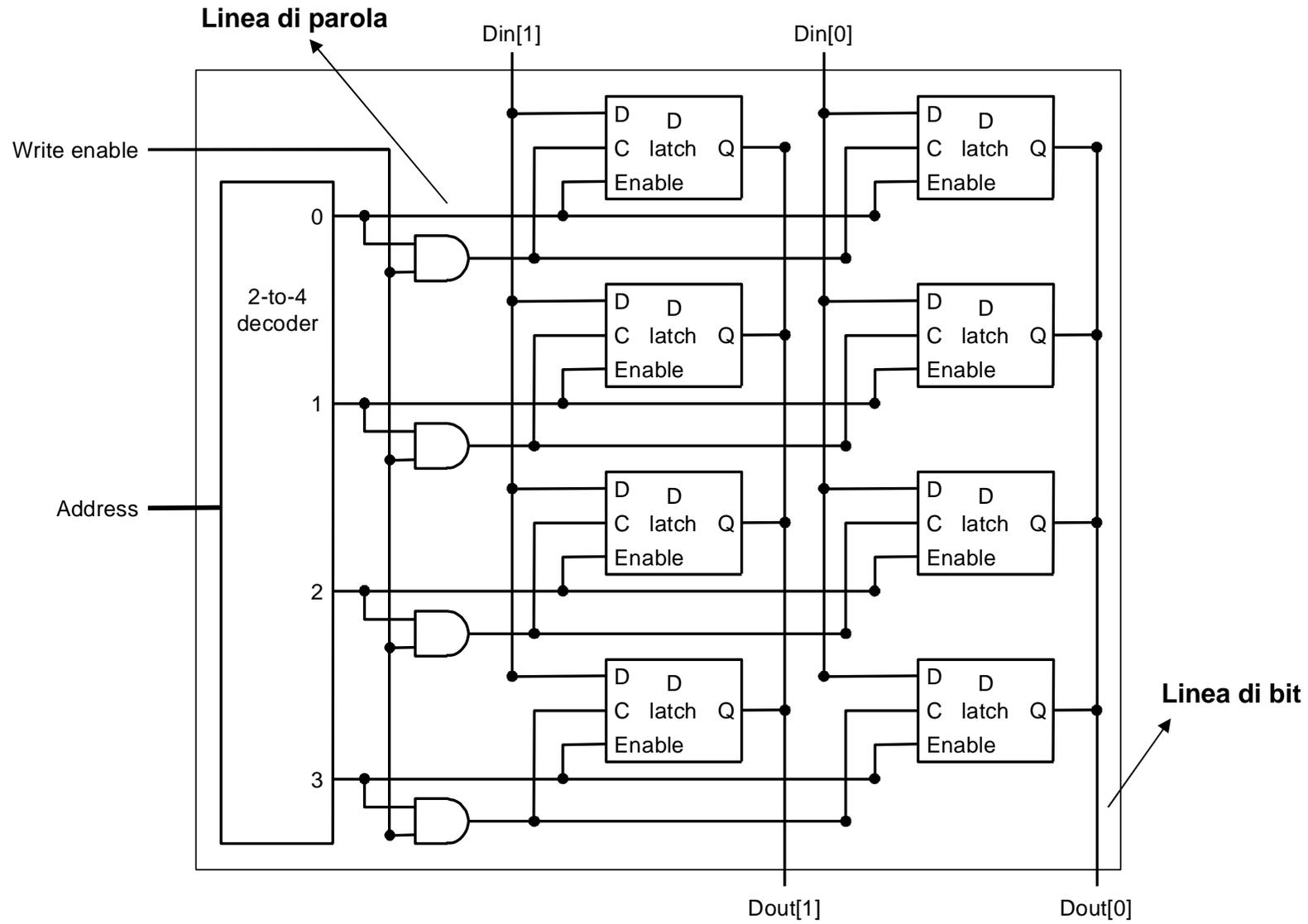
SRAM

Invece di utilizzare multiplexer enormi...



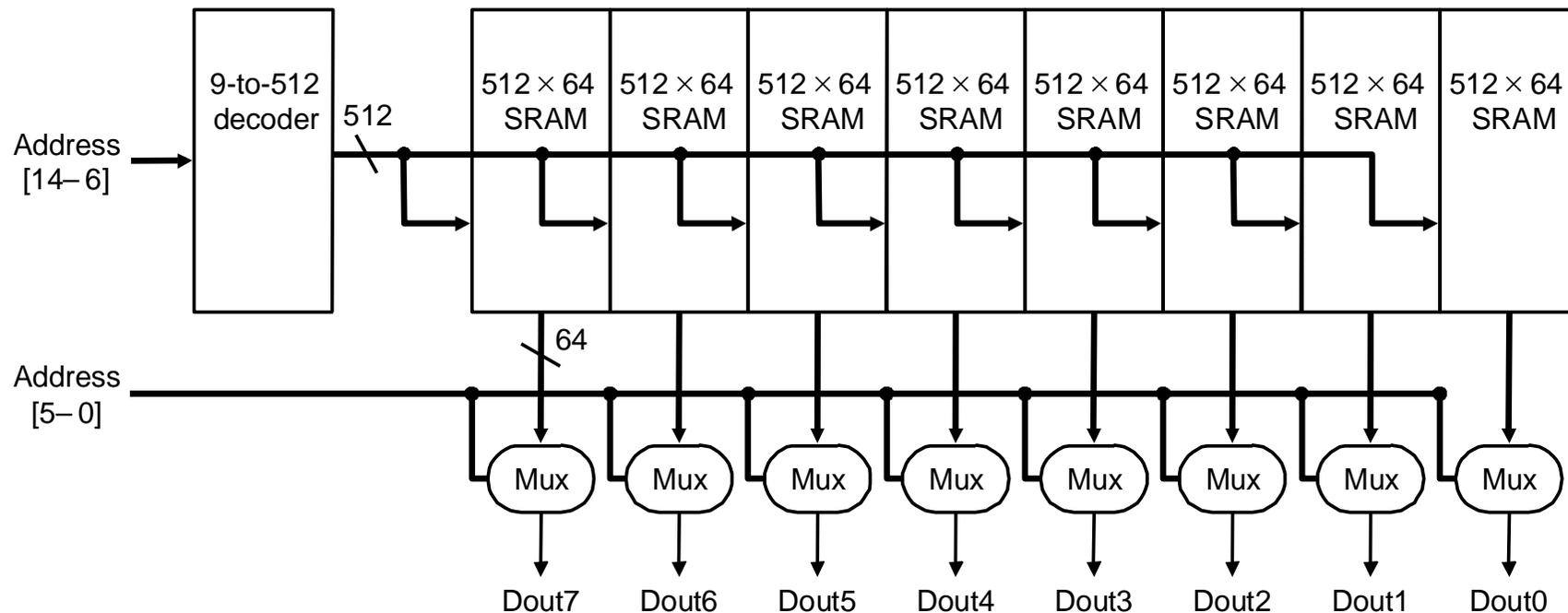
Può essere attiva al più una delle 4 linee Select

SRAM

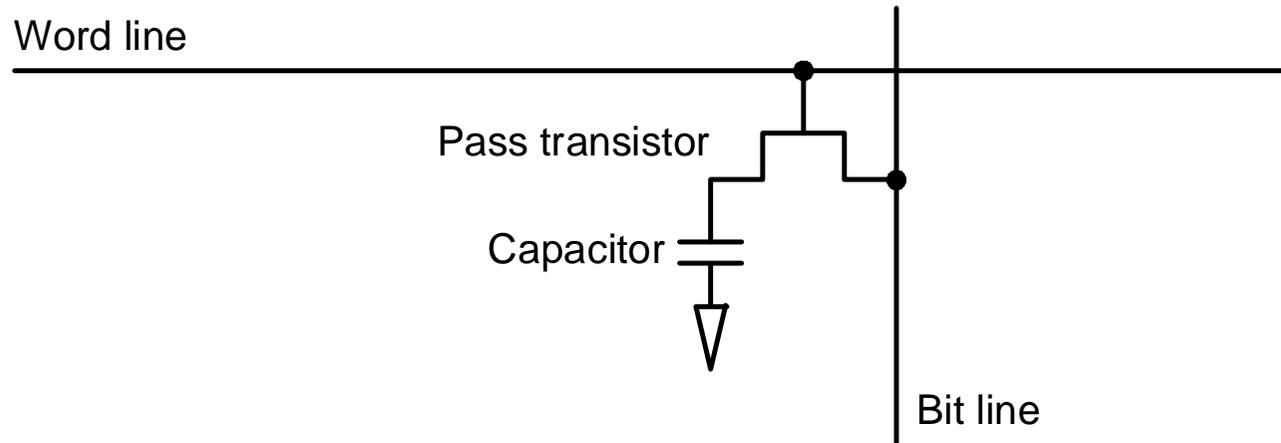


SRAM

Oltre ad eliminare multiplexer enormi bisogna eliminare decoder enormi ($32K \times 8$ SRAM \Rightarrow decoder 15 a $32K$ con altrettante linee di parola) utilizzando un processo di decodifica in due fasi.



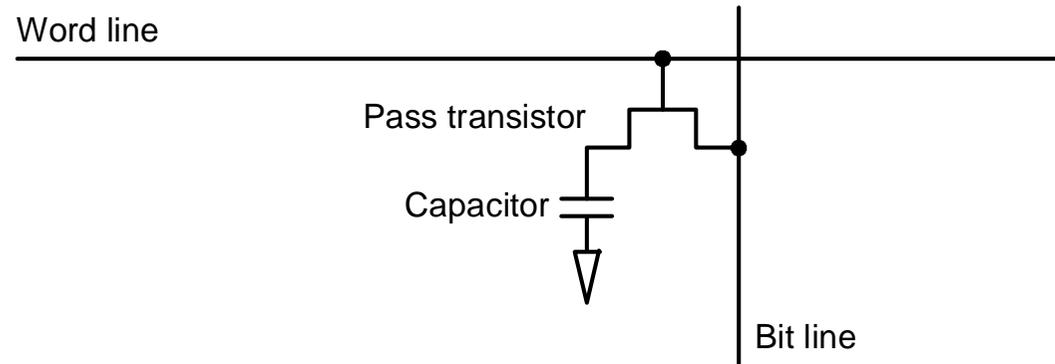
Cella elementare di memoria



L'informazione è memorizzata come carica di un **condensatore** e può essere mantenuta per qualche ms; deve quindi essere **rinfrescata** periodicamente.

Un singolo transistor basta per memorizzare un bit di informazione, contro i 4-6 per il tipo di cella con flip-flop.

Cella elementare di memoria



Il transistor funziona come un interruttore: quando la linea di parola è attiva il circuito è chiuso e il condensatore è collegato alla linea di bit

Scrittura: il valore da scrivere è posto sulla linea di bit

1: il condensatore è caricato

0: il condensatore viene scaricato

Lettura:

- prima è necessario impostare la linea di bit ad una tensione intermedia fra i due livelli
- si attiva la linea di parola e si rileva la variazione di tensione sulla linea di bit

DRAM

Dynamic RAM in quanto a differenza di una SRAM l'informazione deve essere riscritta periodicamente

La cella elementare precedente permette di ottenere memorie più dense ed economiche per bit

Il processo di refresh è gestito dal chip e spreca circa 1-2% dei cicli attivi

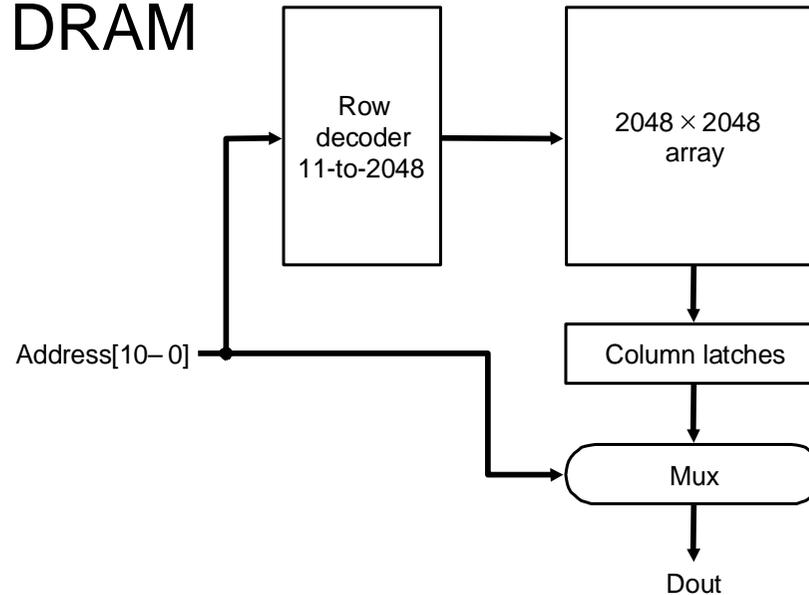
5-10 volte più lente delle SRAM (45-65 ns)

Utilizzate per la memoria principale

DRAM

Processo di decodifica in due fasi

Es.: 4M x 1 DRAM



Per ridurre i pin le stesse linee di indirizzo sono utilizzate per l'accesso alle righe ed alle colonne (es.: 11 invece di 22)

- **RAS (Row Access Strobe)**
- **CAS (Column Access Strobe)**

Riferimenti

Computer Organization and Design

The Hardware/Software Interface 3rd Edition

David A. Patterson, John L. Hennessy

Appendice B

Versione italiana:

Struttura e Progetto dei Calcolatori

L'Interfaccia Hardware-Software

2^a edizione Zanichelli

<http://en.wikipedia.org/> o <http://it.wikipedia.org/>