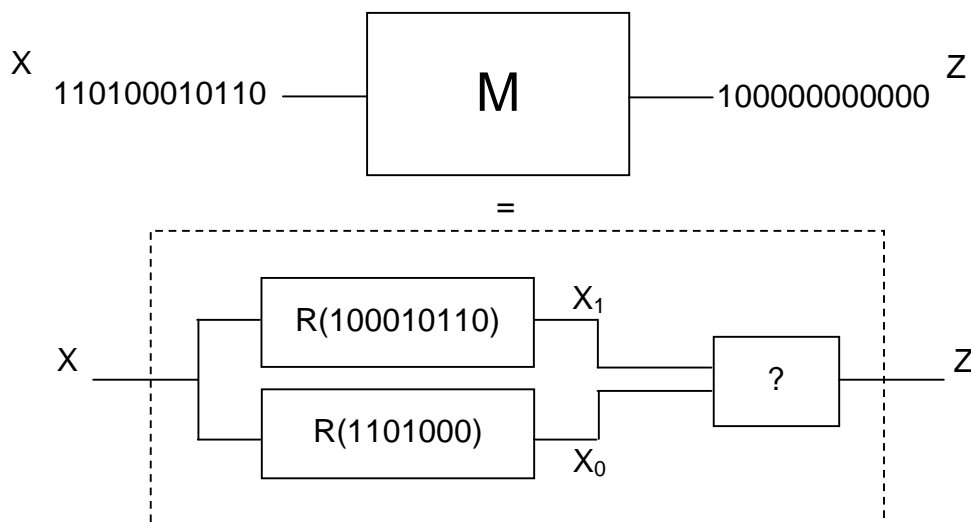


# Corso di Calcolatori elettronici A

## Compito scritto A – 29/3/2004

- 1) Progettare con un automa di Mealy ed implementare con sole porte NAND il riconoscitore della sequenza di bit 110100010110, utilizzando i riconoscitori delle sequenze 100010110 e 1101000 collegati secondo lo schema seguente:



- 2) Un calcolatore con frequenza di clock pari a 1GHz, dispone di una cache primaria e di una cache secondaria con le seguenti caratteristiche:
- Cache primaria di 32KB a corrispondenza diretta con blocchi di 2 parole. Frequenza di successo per le istruzioni pari al 92% e per i dati pari al 91%. Per l'accesso in caso di hit viene impiegato un ciclo di clock.
  - Cache secondaria di 256KB set-associative a 4 vie con blocchi di 4 parole. Frequenza di fallimento per le istruzioni pari al 2% e per i dati pari al 4%. Per l'accesso in caso di hit vengono impiegati 3 cicli di clock.
- La penalità di fallimento per l'accesso in memoria principale è di 10 cicli di clock.

Supponendo si abbia l'architettura MIPS vista a lezione determinare:

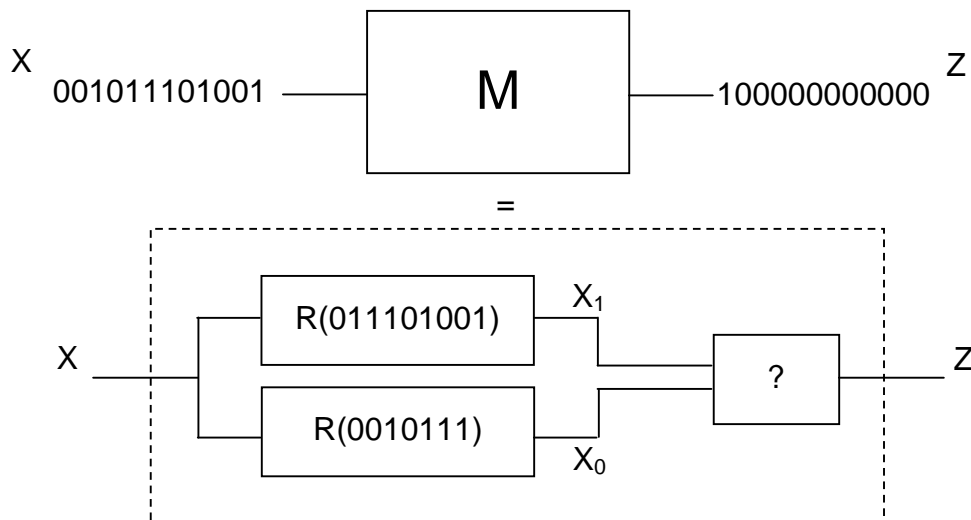
- Il tag ed il numero di blocco o insieme per i 3 indirizzi 0x004000A0, 0x10010000 e 0x7FFFEFE8 in relazione alle due cache. Specificare inoltre se i 3 accessi si riferiscono al segmento stack, dati o testo.
- Il tempo medio di accesso sperimentato dalla CPU, supponendo che il 20% delle istruzioni facciano accesso ai dati.

- 3) Scrivere una funzione in assembler MIPS che riceva in ingresso 3 interi positivi in ordine qualsiasi e restituisca un 1 se rappresentano una terna pitagorica (es.: 3-5-4, 13-5-12) 0 altrimenti.

# Corso di Calcolatori elettronici A

## Compito scritto B – 29/3/2004

- 1) Progettare con un automa di Mealy ed implementare con sole porte NAND il riconoscitore della sequenza di bit 001011101001, utilizzando i riconoscitori delle sequenze 011101001 e 0010111 collegati secondo lo schema seguente:



- 2) Un calcolatore con frequenza di clock pari a 1GHz, dispone di una cache primaria e di una cache secondaria con le seguenti caratteristiche:
- Cache primaria di 32KB a corrispondenza diretta con blocchi di 2 parole. Frequenza di successo per le istruzioni pari al 93% e per i dati pari al 92%. Per l'accesso in caso di hit viene impiegato un ciclo di clock.
  - Cache secondaria di 256KB set-associative a 4 vie con blocchi di 4 parole. Frequenza di fallimento per le istruzioni pari al 2% e per i dati pari al 3%. Per l'accesso in caso di hit vengono impiegati 4 cicli di clock.
- La penalità di fallimento per l'accesso in memoria principale è di 8 cicli di clock.

Supponendo si abbia l'architettura MIPS vista a lezione determinare:

- Il tag ed il numero di blocco o insieme per i 3 indirizzi 0x004010AC, 0x1002000C e 0x7FFFEFEC in relazione alle due cache. Specificare inoltre se i 3 accessi si riferiscono al segmento stack, dati o testo.
- Il tempo medio di accesso sperimentato dalla CPU, supponendo che il 25% delle istruzioni facciano accesso ai dati.

- 3) Scrivere una funzione in assembler MIPS che riceva in ingresso 3 interi positivi in ordine qualsiasi e restituisca un 1 se rappresentano una terna pitagorica (es.: 5-13-12, 5-3-4) 0 altrimenti.