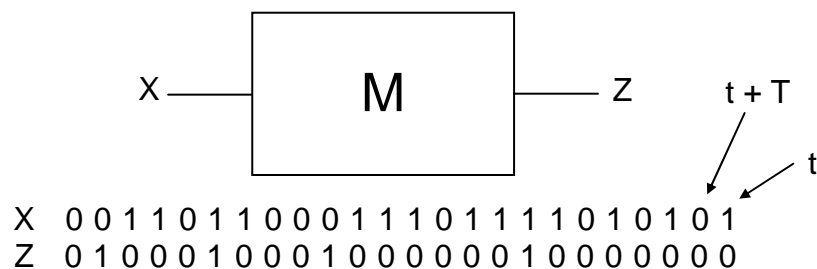


Corso di Calcolatori elettronici A

Compito scritto A – 6/9/2005

- 1) Progettare con un automa di Mealy ed implementare con sole porte NAND, dopo aver minimizzato il numero delle porte stesse, la macchina sequenziale M che emette un 1 in uscita sulla linea Z solo dopo che sulla linea d'ingresso X si sono presentati almeno due 1 consecutivi e almeno due 0 (l'ordine dei bit non è importante); la macchina torna quindi nello stato iniziale come evidenziato nell'esempio seguente.



- 2) Un calcolatore con frequenza di clock pari a 2,5 GHz e CPI in assenza di fallimenti pari a 3 cicli di clock, dispone di una cache primaria e di una cache secondaria con le seguenti caratteristiche:
- Cache primaria di 16KB set-associative a 4 vie con blocchi di 16 parole. Frequenza di successo per le istruzioni pari al 95% e per i dati pari al 90%. Per l'accesso in caso di hit vengono impiegati 2 cicli di clock.
 - Cache secondaria di 1MB set-associative a 8 vie con blocchi di 16 parole. Frequenza di fallimento per le istruzioni pari al 5% e per i dati pari al 5%. Per l'accesso in caso di hit vengono impiegati 4 cicli di clock.
- La penalità di fallimento per l'accesso in memoria principale è di 10 cicli di clock. Supponendo si abbia l'architettura MIPS, determinare il tag espresso come numero esadecimale per l'indirizzo 0x10BCAFED in relazione alle due cache e il tempo di CPU, supponendo che il 26% delle istruzioni I di un programma di test facciano accesso ai dati.
- 3) Scrivere una procedura in assembler MIPS che riceva in ingresso l'indirizzo di un vettore di interi ed il numero dei suoi elementi e per ogni elemento del vettore stesso effettui la seguente assegnazione:

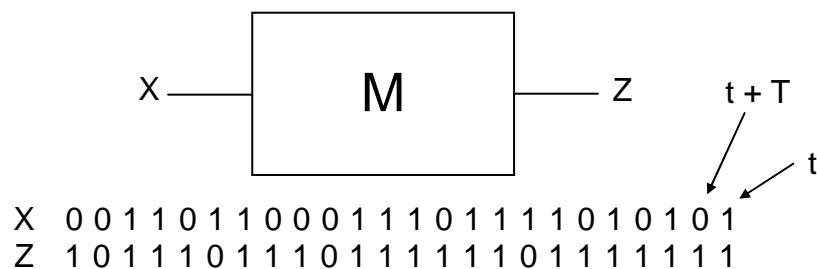
```
if a[i] < -4 Or a[i] > 4 then
    a[i] = f(1)
else
    a[i] = f(0)
```

Dove con $f()$ si è indicata una funzione a disposizione del programmatore.

Corso di Calcolatori elettronici A

Compito scritto B – 6/9/2005

- 1) Progettare con un automa di Mealy ed implementare con sole porte NAND, dopo aver minimizzato il numero delle porte stesse, la macchina sequenziale M che emette uno 0 in uscita sulla linea Z solo dopo che sulla linea d'ingresso X si sono presentati almeno due 1 consecutivi e almeno due 0 (l'ordine dei bit non è importante); la macchina torna quindi nello stato iniziale come evidenziato nell'esempio seguente.



- 2) Un calcolatore con frequenza di clock pari a 2,5 GHz e CPI in assenza di fallimenti pari a 2 cicli di clock, dispone di una cache primaria e di una cache secondaria con le seguenti caratteristiche:
- Cache primaria di 16KB set-associative a 4 vie con blocchi di 16 parole. Frequenza di successo per le istruzioni pari al 98% e per i dati pari al 97%. Per l'accesso in caso di hit vengono impiegati 3 cicli di clock.
 - Cache secondaria di 1MB set-associative a 8 vie con blocchi di 16 parole. Frequenza di fallimento per le istruzioni pari al 7% e per i dati pari al 8%. Per l'accesso in caso di hit vengono impiegati 4 cicli di clock.
- La penalità di fallimento per l'accesso in memoria principale è di 12 cicli di clock. Supponendo si abbia l'architettura MIPS, determinare il tag espresso come numero esadecimale per l'indirizzo 0x10FEDBCA in relazione alle due cache e il tempo di CPU, supponendo che il 28% delle istruzioni I di un programma di test facciano accesso ai dati.
- 3) Scrivere una procedura in assembler MIPS che riceva in ingresso l'indirizzo di un vettore di interi ed il numero dei suoi elementi e per ogni elemento del vettore stesso effettui la seguente assegnazione:

```
if b[i] < -8 Or b[i] > 8 then
    b[i] = g(0)
else
    b[i] = g(1)
```

Dove con $g()$ si è indicata una funzione a disposizione del programmatore.