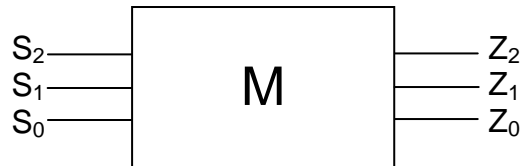


Corso di Calcolatori elettronici A

Compito scritto A – 11/4/2007

- 1) Progettare con un automa di Moore ed implementare con sole porte NAND, dopo aver minimizzato il numero delle porte stesse, la macchina sequenziale M le cui uscite Z_2 , Z_1 e Z_0 rappresentano il conteggio in modulo 6 dell'ingresso rappresentato dai 3 bit 101 ($S_2S_1S_0$). La macchina in figura oltre a 101 ammette un unico altro ingresso pari a 010.



- 2) Un calcolatore con frequenza di clock pari a 3,2 GHz dispone di una cache di 64KB set-associative a 2 vie con blocchi di 4 parole. Frequenza di successo per le istruzioni pari al 95% e per i dati pari al 83%. Per l'accesso in caso di hit vengono impiegati 3 cicli di clock. La penalità di fallimento per l'accesso in memoria principale è di 41 cicli di clock.

Supponendo si abbia l'architettura MIPS vista a lezione determinare:

- Il tag ed il numero di blocco o insieme in esadecimale per i 3 indirizzi 0x0056ECAB, 0x77ADF1CE e 0x269DEFBD. Specificare inoltre se i 3 accessi si riferiscono al segmento stack, dati o testo.
- Il tempo medio di accesso sperimentato dalla CPU, supponendo che il 41% delle istruzioni facciano accesso ai dati.
- Si supponga di aggiungere una cache di secondo livello caratterizzata dalle medesime frequenze di hit e da un tempo di hit in cicli di clock da determinare in modo che il tempo medio di accesso migliori almeno del 40%.

- 3) Scrivere una procedura in assembler MIPS che riceva in ingresso l'indirizzo di un vettore di interi ed il numero n dei suoi elementi e per ogni elemento del vettore stesso effettui la seguente assegnazione:

```
if 0 <= f(i) < n then
    a[f(i)] = 0xF + a[f(i)]·f(i)
else
    a[i] = a[i]·f(i) + 0x1ABCD
```

Con $f()$ si è indicata una funzione a disposizione del programmatore.

Compito scritto B – 11/4/2007

- 1) Progettare con un automa di Moore ed implementare con sole porte NAND, dopo aver minimizzato il numero delle porte stesse, la macchina sequenziale M le cui uscite Z_2 , Z_1 e Z_0 rappresentano il conteggio in modulo 6 dell'ingresso rappresentato dai 3 bit 110 ($S_2S_1S_0$). La macchina in figura oltre a 110 ammette un unico altro ingresso pari a 011.



- 2) Un calcolatore con frequenza di clock pari a 4 GHz dispone di una cache di 64KB set-associative a 2 vie con blocchi di 4 parole. Frequenza di successo per le istruzioni pari al 96% e per i dati pari al 84%. Per l'accesso in caso di hit vengono impiegati 3 cicli di clock. La penalità di fallimento per l'accesso in memoria principale è di 43 cicli di clock.

Supponendo si abbia l'architettura MIPS vista a lezione determinare:

- Il tag ed il numero di blocco o insieme in esadecimale per i 3 indirizzi 0x0059ECB1, 0x79AD9BCF e 0x27BDE7CA. Specificare inoltre se i 3 accessi si riferiscono al segmento stack, dati o testo.
- Il tempo medio di accesso sperimentato dalla CPU, supponendo che il 43% delle istruzioni facciano accesso ai dati.
- Si supponga di aggiungere una cache di secondo livello caratterizzata dalle medesime frequenze di hit e da un tempo di hit in cicli di clock da determinare in modo che il tempo medio di accesso migliori almeno del 40%.

- 3) Scrivere una procedura in assembler MIPS che riceva in ingresso l'indirizzo di un vettore di interi ed il numero n dei suoi elementi e per ogni elemento del vettore stesso effettui la seguente assegnazione:

```
if 0 <= f(i) < n then
    a[i] = a[i]·f(i) + 0x2EBCD
else
    a[f(i)] = 0xE + a[f(i)]·f(i)
```

Con $f()$ si è indicata una funzione a disposizione del programmatore.