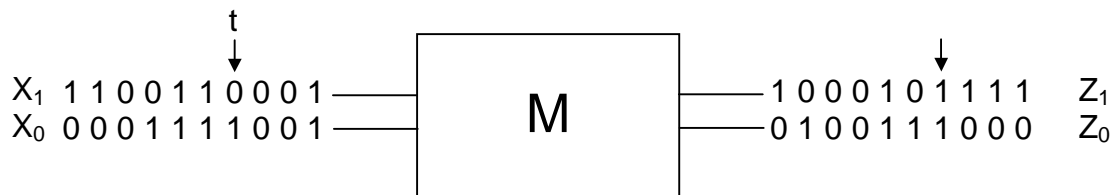


Corso di Calcolatori elettronici A

Compito scritto A – 15/4/2004

- 1) Progettare con un automa di Moore ed implementare con sole porte NAND, dopo aver minimizzato il numero delle porte stesse, la macchina sequenziale M, le cui uscite Z_1 e Z_0 sono i due bit di un numero che rappresenta il conteggio in modulo 4 dei bit pari a 1 che si presentano sulle linee di ingresso X_1 e X_0 . In figura è riportato un esempio, in cui all'istante t si sono presentati all'ingresso di M 3 bit pari a 1 e quindi l'uscita corrispondente $Z_1 Z_0$ coincide con 11.



- 2) Un calcolatore con frequenza di clock pari a 2,5 GHz, dispone di una cache primaria e di una cache secondaria con le seguenti caratteristiche:
- Cache primaria di 8KB set-associative a 4 vie con blocchi di 16 parole. Frequenza di successo per le istruzioni pari al 93% e per i dati pari al 90%. Per l'accesso in caso di hit vengono impiegati 2 cicli di clock.
 - Cache secondaria di 512KB set-associative a 8 vie con blocchi di 16 parole. Frequenza di fallimento per le istruzioni pari al 2% e per i dati pari al 8%. Per l'accesso in caso di hit vengono impiegati 17 cicli di clock.
- La penalità di fallimento per l'accesso in memoria principale è di 40 cicli di clock.

Supponendo si abbia l'architettura MIPS vista a lezione determinare:

- Il tag ed il numero di blocco o insieme per i 3 indirizzi 0x700C60E9, 0x2FFFFBDC e 0x005FFFA4 in relazione alle due cache. Specificare inoltre se i 3 accessi si riferiscono al segmento stack, dati o testo.
- Il tempo medio di accesso sperimentato dalla CPU, supponendo che il 35% delle istruzioni facciano accesso ai dati.

- 3) Scrivere una funzione in assembler MIPS che riceva in ingresso 2 interi non negativi e restituisca il primo elevato al secondo.

Corso di Calcolatori elettronici A

Compito scritto B – 15/4/2004

- 1) Progettare con un automa di Moore ed implementare con sole porte NAND, dopo aver minimizzato il numero delle porte stesse, la macchina sequenziale M, le cui uscite Z_1 e Z_0 sono i due bit di un numero che rappresenta il conteggio in modulo 4 dei bit pari a 0 che si presentano sulle linee di ingresso X_1 e X_0 . In figura è riportato un esempio, in cui all'istante t si sono presentati all'ingresso di M 3 bit pari a 0 e quindi l'uscita corrispondente $Z_1 Z_0$ coincide con 11.



- 2) Un calcolatore con frequenza di clock pari a 2,5 GHz, dispone di una cache primaria e di una cache secondaria con le seguenti caratteristiche:
- Cache primaria di 8KB set-associative a 4 vie con blocchi di 16 parole. Frequenza di successo per le istruzioni pari al 92% e per i dati pari al 91%. Per l'accesso in caso di hit vengono impiegati 2 cicli di clock.
 - Cache secondaria di 512KB set-associative a 8 vie con blocchi di 16 parole. Frequenza di fallimento per le istruzioni pari al 2% e per i dati pari al 9%. Per l'accesso in caso di hit vengono impiegati 19 cicli di clock.
- La penalità di fallimento per l'accesso in memoria principale è di 44 cicli di clock.

Supponendo si abbia l'architettura MIPS vista a lezione determinare:

- Il tag ed il numero di blocco o insieme per i 3 indirizzi 0x70000FA1, 0x2FFFE0B4 e 0x005FFFD C in relazione alle due cache. Specificare inoltre se i 3 accessi si riferiscono al segmento stack, dati o testo.
- Il tempo medio di accesso sperimentato dalla CPU, supponendo che il 32% delle istruzioni facciano accesso ai dati.

- 3) Scrivere una funzione in assembler MIPS che riceva in ingresso 2 interi non negativi e restituisca il primo elevato al secondo.