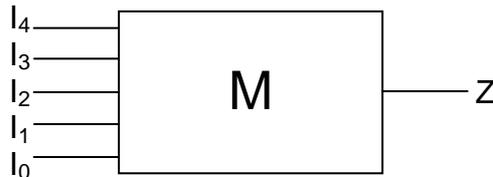


Corso di Calcolatori elettronici A

Compito scritto A – 1/4/2008

- 1) Progettare con un automa ed implementare con sole porte NAND, dopo aver minimizzato il numero delle porte stesse, la macchina sequenziale M la cui uscita Z vale 1 solo se riceve sulle 5 linee di ingresso I 5 zeri seguiti da 5 uno e ancora 5 zeri seguiti da 5 uno.



- 2) Un programma in assembler MIPS effettua in un ciclo 2 lb. La prima istruzione lb effettua le letture sequenziali a partire dall'indirizzo 0x1DAC1859, la seconda a partire da 0x2FAE3E19. Nell'ultima iterazione gli indirizzi relativi alle 2 lb sono rispettivamente 0x1DAC18E1 e 0x2FAE3EA0. Il computer che esegue il codice dispone di una cache per i dati di 256 byte, set-associative a 2 vie e con blocchi di 8 parole.

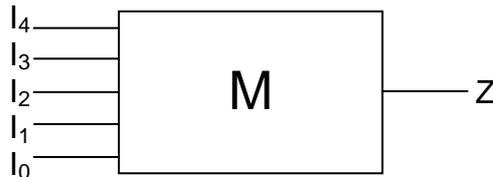
Supponendo la cache inizialmente vuota:

- Specificare nella corretta sequenza per quali letture si ha un miss.
 - Rappresentare graficamente le variazioni che avvengono nella cache evidenziando in esadecimale i tag dei blocchi caricati. Per l'eventuale sostituzione dei blocchi utilizzare la tecnica LRU.
- 3) Scrivere una procedura in assembler MIPS che riceva in ingresso l'indirizzo di un vettore di interi ed il numero n dei suoi elementi e restituisca 1, diversamente 0, solo se l'OR bit a bit fra 2 numeri consecutivi produce una parola con tutti i bit a 1.

Corso di Calcolatori elettronici A

Compito scritto B – 1/4/2008

- 1) Progettare con un automa ed implementare con sole porte NAND, dopo aver minimizzato il numero delle porte stesse, la macchina sequenziale M la cui uscita Z vale 0 solo se riceve sulle 5 linee di ingresso I 5 zeri seguiti da 5 uno e ancora 5 zeri seguiti da 5 uno.



- 2) Un programma in assembler MIPS effettua in un ciclo 2 lb. La prima istruzione lb effettua le letture sequenziali a partire dall'indirizzo 0x1EBD2859, la seconda a partire da 0x2BCF3E19. Nell'ultima iterazione gli indirizzi relativi alle 2 lb sono rispettivamente 0x1EBD28E1 e 0x2BCF3EA0. Il computer che esegue il codice dispone di una cache per i dati di 256 byte, set-associative a 2 vie e con blocchi di 8 parole.

Supponendo la cache inizialmente vuota:

- Specificare nella corretta sequenza per quali letture si ha un miss.
 - Rappresentare graficamente le variazioni che avvengono nella cache evidenziando in esadecimale i tag dei blocchi caricati. Per l'eventuale sostituzione dei blocchi utilizzare la tecnica LRU.
- 3) Scrivere una procedura in assembler MIPS che riceva in ingresso l'indirizzo di un vettore di interi ed il numero n dei suoi elementi e restituisca 0, diversamente 1, solo se l'OR bit a bit fra 2 numeri consecutivi produce una parola con tutti i bit a 1.