

CALCOLATORI ELETTRONICI B – 26 marzo 2007

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si consideri il seguente frammento di codice MIPS:

lw \$t0, 20(\$t1)

add \$t0, \$t1, \$t1

add \$t1, \$t0, \$t0

lw \$t1, 20(\$t1)

add \$t1, \$t2, \$t1

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

a) individuare in modo preciso tutte le dipendenze tra i dati

b) tracciare il diagramma temporale delle istruzioni (indicando esplicitamente le eventuali propagazioni e, per ognuna di esse, quale dato è propagato) in ognuna delle seguenti ipotesi:

- non è disponibile alcuna unità di propagazione

- è disponibile un'unità di propagazione verso lo stadio E

- è disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Nei diagrammi, si chiede di indicare il numero di cicli di penalità.

[6]

2. Si consideri il processore dell'esercizio precedente, dotato di pipeline a 5 stadi, che disponga di un'unità di propagazione verso lo stadio E ed una verso lo stadio M (come nel terzo caso al punto b dell'esercizio precedente).

Il processore utilizza una cache primaria distinta per i dati e le istruzioni, mentre non dispone di cache secondaria. La cache, che in caso di successo consente di accedere all'istruzione o al dato in un ciclo di clock, presenta le seguenti caratteristiche:

- percentuale di successo (hit rate): 90% per le istruzioni, 80% per i dati
- penalità di fallimento (sia in scrittura che in lettura): 5 cicli di clock

Si assuma un carico di lavoro che prevede la seguente distribuzione delle istruzioni MIPS:

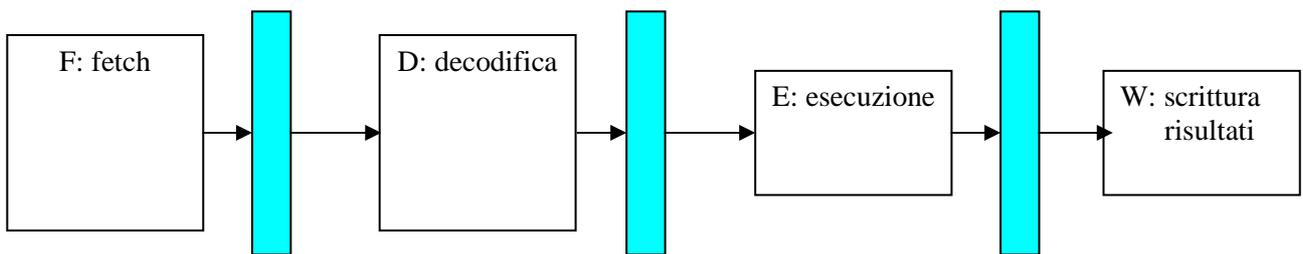
lw:	30 %
sw:	30 %
Tipo-R:	20 %
salto:	20 %

tale che:

- il 50% delle istruzioni che seguono lw non ne utilizzano il risultato, il 20% sono istruzioni di TIPO-R che ne utilizzano il risultato, il 5% sono sw che utilizzano il risultato della lw per il calcolo dell'indirizzo, il 5% sono sw che utilizzano il risultato sia per il calcolo dell'indirizzo sia per immagazzinarlo in memoria, il rimanente 20% sono sw che utilizzano il risultato della lw solo per immagazzinarlo in memoria.
- il 10% delle istruzioni che seguono istruzioni di Tipo-R ne utilizzano il risultato nello stadio E, il 10% nello stadio M ed il rimanente 80% non ne utilizzano il risultato.

Trascurando le criticità sui salti ma tenendo conto dei miss di cache e delle criticità sui dati, si calcoli il CPI (numero medio di cicli di clock per istruzione) ottenuto. [4]

3. A partire dalla figura seguente, si disegnino schematicamente (ma in modo preciso) l'unità di controllo della pipeline ed i relativi collegamenti.
Si consideri la presenza di una unità di propagazione verso E: da dove vengono prelevati i dati propagati verso E? [4]



4. Nell'ambito delle tecniche di controllo con pipeline, si illustri brevemente (max 5-6 righe) la differenza tra tecniche di predizione statica e dinamica dei salti.
- Si consideri l'utilizzo di un BPB (Branch Prediction Buffer – Tabella di predizione delle diramazioni che a differenza del BTB non contiene l'indirizzo di destinazione predetto). Con riferimento agli stadi della pipeline in cui, rispettivamente, viene calcolata la condizione di salto e determinato l'indirizzo di destinazione, quale condizione deve essere necessariamente soddisfatta affinché l'utilizzo del BPB possa portare qualche vantaggio? Perché? [5]

5. Si consideri un processore dotato di un semplice TLB in grado di memorizzare 4 elementi. Si assuma che, per un dato processo in esecuzione, il TLB e la tabella delle pagine corrispondano alle seguenti:

TLB

bit di validità	Numero di pagina virtuale	Numero di pagina fisica
0	0000000000000000	?
?	0000000000000010	01000000
1	0000000000000010	?
0	0000000000000001	11111000

Tab. Pagine

	bit di validità	
0	1	11111001
1	1	11111000
2	1	11111111
3	1	00000000
4	1	00000001
	.	.
	.	.
	.	.
	.	.
	.	.

Motivando sinteticamente le risposte, per ciascuno dei tre campi contrassegnati dal punto di domanda si dica se è possibile o meno determinare il valore in esso contenuto e, in caso affermativo, lo si indichi. [3]

6. Si consideri un processo che richieda al sistema operativo il trasferimento, via DMA, di un blocco di dati da una determinata periferica alla memoria. Il processo richiede che il blocco di dati sia memorizzato in un'area contigua del proprio spazio virtuale; tale blocco ha una dimensione che eccede quella di una pagina fisica in memoria. Con riferimento alla gestione della memoria virtuale, quale problema è necessario risolvere? Indicarne una possibile soluzione. [2]

7. E' dato un bus asincrono che collega un processore P e diversi dispositivi slave (quale ad esempio la memoria). Il bus è costituito da n linee dati, m linee indirizzi e dalle linee di controllo seguenti:

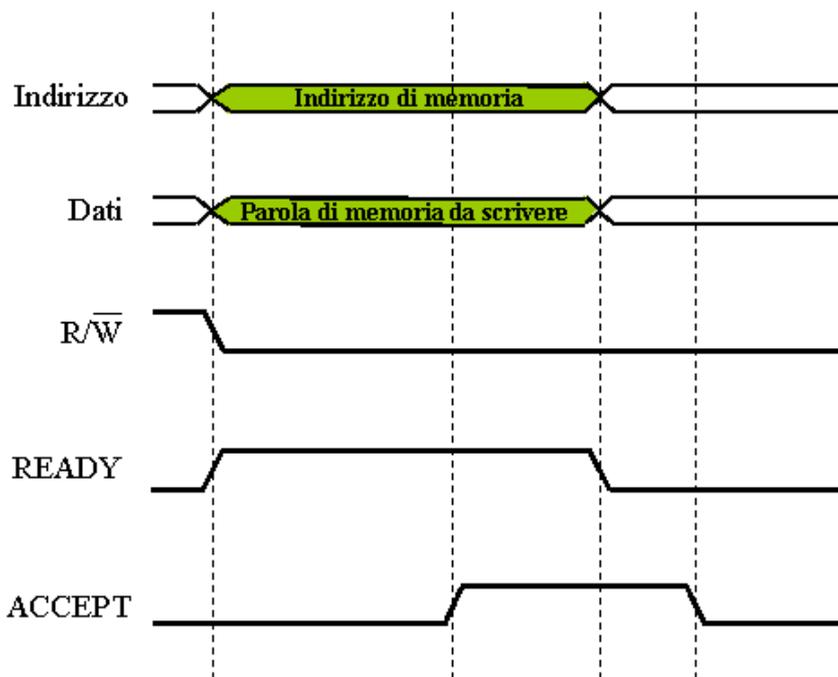
$\overline{R/W}$: utilizzato dal processore P per segnalare una richiesta di lettura (se alto) o di scrittura (se basso).

READY: utilizzato dal processore P per segnalare una richiesta di trasferimento.

ACCEPT: utilizzato dal dispositivo indirizzato per segnalare il completamento del trasferimento richiesto.

I segnali di controllo READY e ACCEPT sono attivi a livello alto.

La figura seguente riporta l'evoluzione temporale di un'operazione di trasferimento di una parola dal processore P al dispositivo slave (scrittura).



Si chiede di:

- Mostrare in un diagramma temporale come può avvenire un'operazione di lettura (dal dispositivo slave al processore P), illustrando le relazioni tra i segnali.
- Specificare la macchina a stati finiti che controlla l'esecuzione, nel processore P (master), del protocollo di handshaking in lettura di cui al punto a). [6]

