

CALCOLATORI ELETTRONICI B – 22 settembre 2005

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si consideri il seguente frammento di codice MIPS:

lw \$t0, 10(\$t0)

add \$t0, \$t0, \$t0

sw \$t0, 10(\$t0)

add \$t0, \$t0, \$t0

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

a) individuare in modo preciso tutte le dipendenze tra i dati

b) tracciare il diagramma temporale delle istruzioni nell'ipotesi sia disponibile un'unità di propagazione verso lo stadio E (indicando esplicitamente le propagazioni e, per ognuna di esse, quale dato è propagato)

[4]

2. Si consideri un'implementazione della pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back), ad esempio l'implementazione del MIPS proposta nel testo. Quali operazioni vengono tipicamente eseguite nello stadio D?

Si consideri ad esempio un'istruzione del tipo

add \$t0, \$s0, \$s1

Considerando che nello stadio D l'istruzione è già stata caricata ed è quindi disponibile, si commenti la possibilità di porre la ALU direttamente nello stadio D anziché nello stadio E, anticipando la fase di esecuzione (per la add, l'operazione di somma) nello stadio D. [3]

3. Nell'ambito dei processori che utilizzano la pipeline, si illustri brevemente il concetto di interruzione precisa e interruzione imprecisa. Con una pipeline dinamica, si dica sinteticamente quale organizzazione dell'hardware del processore può essere adottata per garantire che tutte le eccezioni siano precise. [4]

4. Si illustri il motivo principale per cui, in una implementazione con pipeline, vengono tipicamente utilizzate due cache separate per le istruzioni e i dati.
Si consideri una implementazione con pipeline a 5 stadi (F, D, E, M, W) che disponga di una sola memoria cache per i dati e per le istruzioni. Supponendo che il 30% delle istruzioni faccia riferimento alla memoria (p.es. del tipo lw o sw) e trascurando i miss di cache, le criticità sui dati e sui salti, si calcoli il CPI precisando le assunzioni sull'implementazione della pipeline su cui si basa il calcolo. [3]
5. Si illustri la differenza tra la tecnica di write-through e quella di write-back nella gestione della memoria cache. Si precisi in particolare il loro ruolo nell'assicurare la coerenza tra i dati presenti nella cache e i dati in memoria principale, considerando i due casi di hit in scrittura e miss in scrittura. [3]

6. Si descriva sinteticamente la tecnica di gestione della memoria virtuale mediante la tabella delle pagine. [4]

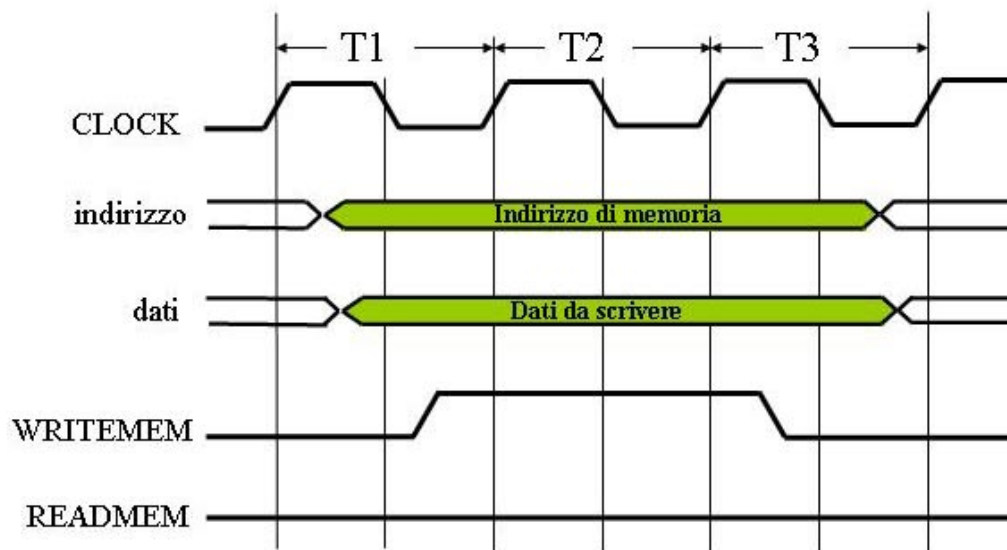
7. Si illustrino brevemente, nel contesto della gestione a interruzione dell'I/O, le due tecniche del "polling" e dell' "interrupt vettorizzato" per il riconoscimento del dispositivo. [3]

8. E' dato un bus sincrono che collega un processore alla memoria. Oltre alla linea per il segnale di clock, il bus è costituito da linee distinte per dati e indirizzi, nonché dalle linee di controllo seguenti (entrambi i segnali di controllo sono attivi a livello alto):

WRITEMEM: utilizzato dal processore per segnalare una richiesta di scrittura in memoria.

READMEM: utilizzato dal processore per segnalare una richiesta di lettura dalla memoria.

La figura seguente riporta l'evoluzione temporale di un'operazione di scrittura di una parola in memoria:



Si noti che non c'è alcun segnale di ritorno dalla memoria al processore: si assume che la memoria richieda un determinato numero di cicli di clock per completare l'operazione di scrittura, esattamente come avviene nel diagramma.

Si specifichino le due macchine a stati finiti che controllano l'operazione di scrittura indicata nel diagramma, rispettivamente per il processore e per la memoria. [6]

