CALCOLATORI ELETTRONICI B – 20 settembre 2006

NOME:	COGNOME:	MATR:
Scrivere chiaramente in caratteri maiuscoli a stampa		

1. Si consideri la nota implementazione dell'unità di controllo secondo la tecnica multiciclo relativamente alle istruzioni MIPS lw, sw, beq, j e TIPO-R (si riporta il datapath per facilitare lo studente in caso di dimenticanza). Si supponga che le operazioni atomiche che coinvolgono le unità funzionali principali richiedano:

   Unità di memoria (lettura e scrittura): 2 ns
   Register File (lettura e scrittura): 1 ns
   Operazione ALU: 2 ns

   Si ipotizzi che il carico di lavoro preveda in ogni caso, per i salti condizionati e incondizionati, una percentuale complessiva del 10 %:

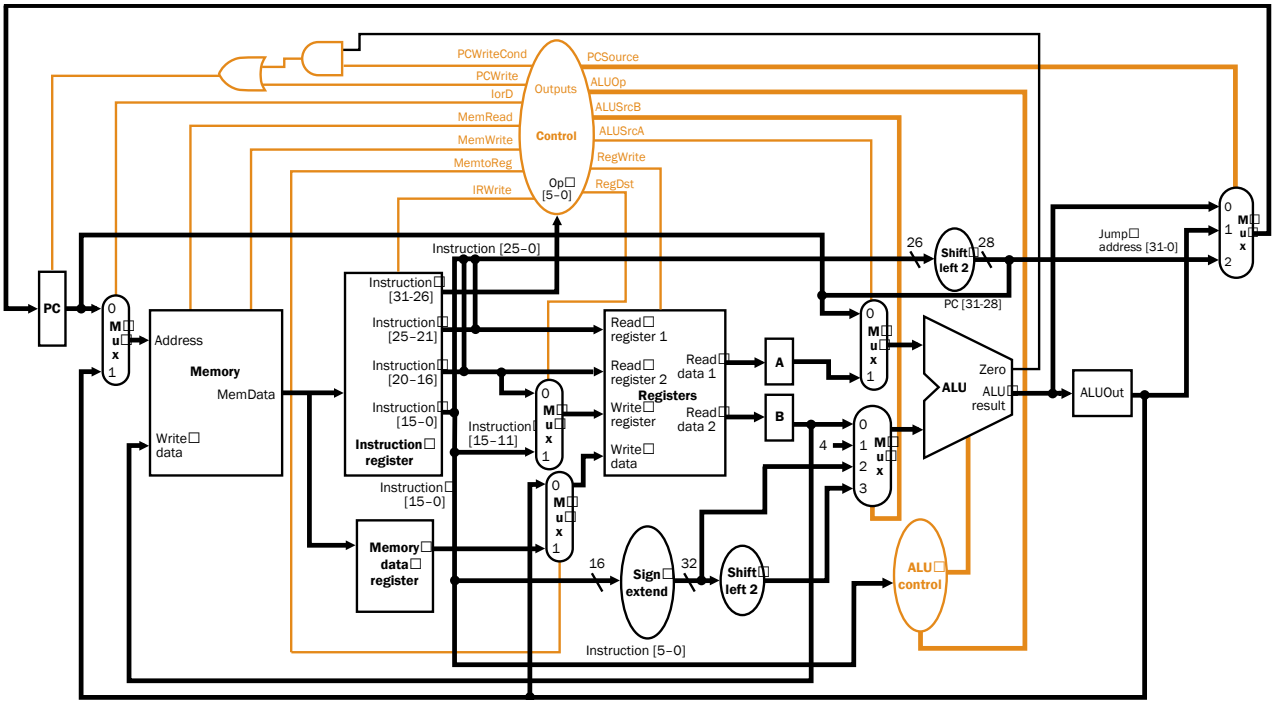
   beq + j: 10%

   Si chiede, riportando i passi significativi dell'analisi, di:

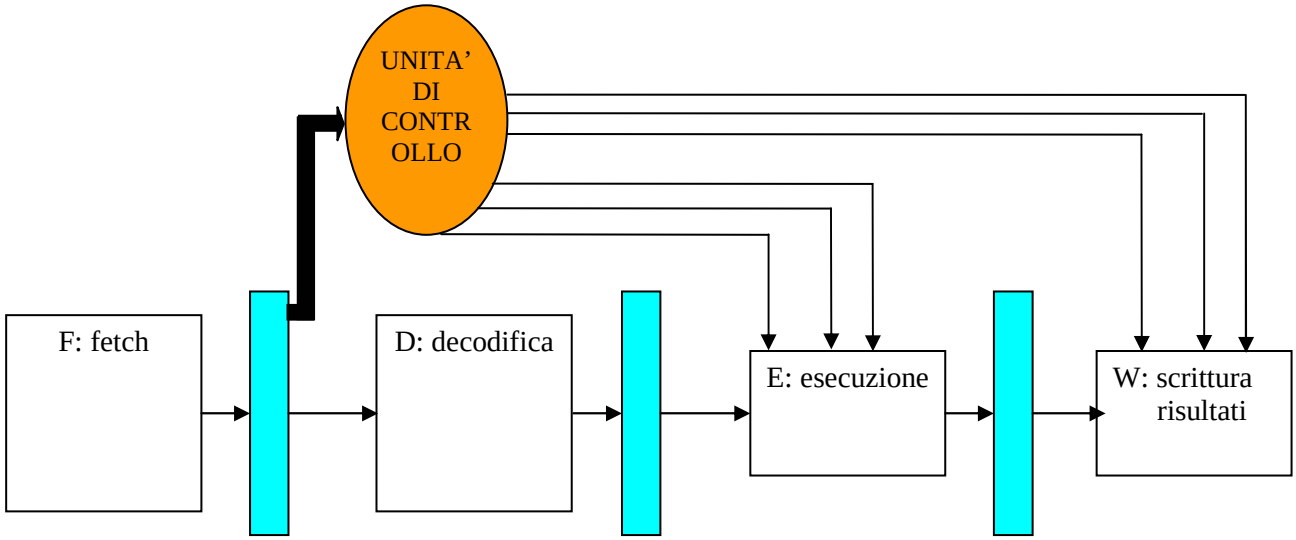
   a) Determinare le condizioni in cui un'implementazione a singolo ciclo risulta più conveniente, in termini di prestazioni, rispetto all'implementazione multiciclo.

   b) Rispondere alla stessa domanda supponendo che il carico di lavoro preveda per i salti una percentuale complessiva del 20% (al posto del 10%). Come si può giustificare intuitivamente il risultato? [4]

Promemoria datapath:



2. Si consideri la figura seguente che illustra, molto schematicamente, l'unità di controllo di una pipeline in relazione ad un certo insieme di stadi. Si dica se la figura è corretta o meno, in entrambi i casi precisando le motivazioni della risposta (se si ritiene che sia errata, riportare schematicamente le modifiche necessarie per correggerla). [3]



3. Si consideri il seguente frammento di codice MIPS:

```
sw   $t0, 20($t0)
lw   $t0, 40($t2)
sw   $t0, 20($t2)
sub  $t0, $t0, $t0
```

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:
a) individuare in modo preciso tutte le dipendenze tra i dati
b) tracciare il diagramma temporale delle istruzioni (indicando esplicitamente le eventuali propagazioni e, per ognuna di esse, quale dato è propagato) in ognuna delle seguenti ipotesi:
- non è disponibile alcuna unità di propagazione
- è disponibile un'unità di propagazione verso lo stadio E
- è disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Nei diagrammi, si chiede di indicare il numero di cicli di penalità. [6]

4. Si consideri il processore dell'esercizio precedente, dotato di pipeline a 5 stadi, che disponga di un'unità di propagazione verso lo stadio E ed una verso lo stadio M (come nel terzo caso al punto b dell'esercizio precedente).

Il processore utilizza una cache primaria distinta per i dati e le istruzioni, mentre non dispone di cache secondaria. La cache, che in caso di successo consente di accedere all'istruzione o al dato in un ciclo di clock, presenta le seguenti caratteristiche:
- percentuale di successo (hit rate): 90% per le istruzioni, 80% per i dati
- penalità di fallimento (sia in scrittura che in lettura): 10 cicli di clock

Si assuma un carico di lavoro che prevede la seguente distribuzione delle istruzioni MIPS:

lw:	20 %
sw:	20 %
Tipo-R:	40 %
salti:	20 %

tale che:
- il 25% delle istruzioni che seguono lw utilizzano il risultato nello stadio E, il 25% utilizzano il risultato nello stadio M ed il rimanente 50% non ne utilizzano il risultato
- il 10.6% delle istruzioni che seguono istruzioni di Tipo-R ne utilizzano il risultato nello stadio E, il 10.49% nello stadio M ed il rimanente 78.91% non ne utilizzano il risultato.

Trascurando le criticità sui salti ma tenendo conto dei miss di cache e delle criticità sui dati, si calcoli il CPI (numero medio di cicli di clock per istruzione) ottenuto. [3]

5. Si consideri il seguente frammento di codice MIPS (i puntini indicano la presenza di un certo numero di istruzioni non specificate):

```
        add   $t0, $s1, $s2
        beq   $t0, $t1, Dest
        sub   $s1, $s3, $s4
        add   $s4, $s4, $s2
        …
Dest:   …
```

Si consideri un'implementazione con pipeline a 4 stadi (Fetch – Decode – Execute – Write Back) dotata di una coda delle istruzioni e con le seguenti caratteristiche:
- la coda può contenere 4 istruzioni, che l'unità di prelievo è in grado di caricare contemporaneamente in un solo ciclo di clock;
- i salti condizionati vengono eseguiti da un'apposita sotto-unità dell'unità di prelievo (Fetch), parallelamente all'esecuzione delle istruzioni negli altri stadi;
- per i salti condizionati, si utilizza la semplice tecnica di predizione statica di "salto non effettuato;
- l'hardware rende possibile la propagazione dei dati verso l'unità di prelievo delle istruzioni.

Si chiede di:
- tracciare i diagrammi temporali nei due casi in cui la predizione per la beq sia corretta ed errata (assumere che le quattro istruzioni del frammento di codice siano caricate insieme nella coda delle istruzioni)
- determinare in entrambi i casi la penalità di salto. [4]

6. Nell’ambito dei processori che utilizzano la pipeline, si illustri brevemente il concetto di interruzione precisa e interruzione imprecisa. Con una pipeline dinamica, si dica sinteticamente quale organizzazione dell’hardware del processore può essere adottata per garantire che tutte le eccezioni siano precise. [4]

7. Si descriva sinteticamente la tecnica di gestione della memoria virtuale mediante la tabella delle pagine.
Supponendo che gli indirizzi virtuali siano a 32 bit e che la dimensione delle pagine sia di 32KB, quanti elementi contiene la tabella delle pagine complessivamente? Perché? [4]

8. Descrivere sinteticamente il meccanismo di arbitraggio Daisy-Chain per i bus. [2]