

CALCOLATORI ELETTRONICI B – 20 luglio 2006

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si considerino, mostrati nelle figure riportate di seguito, il datapath e il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica multiciclo relativamente alle istruzioni MIPS lw, sw, beq, j ed alle istruzioni di tipo-R (il cui formato è riportato di seguito).

Si supponga che le operazioni atomiche che coinvolgono le unità funzionali principali richiedano:

Unità di memoria (lettura e scrittura): 2 ns

Register File (lettura e scrittura): 1 ns

Operazione ALU: 2 ns

e si assuma un carico di lavoro che preveda la seguente distribuzione delle istruzioni:

lw: 20 %

sw: 20 %

Tipo-R: 40 %

beq: 10 %

j: 10 %

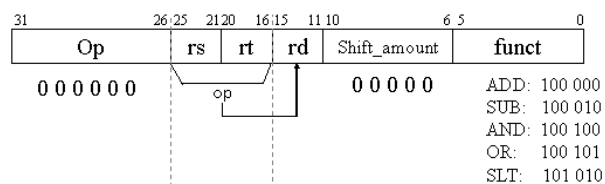
Si assuma inoltre che la memoria utilizzata (unica per i dati e le istruzioni) sia una cache con percentuale di successo (hit rate) del 90% e penalità di fallimento (sia in scrittura che in lettura) di 10 cicli di clock.

Si chiede, riportando i passi significativi dell'analisi, di:

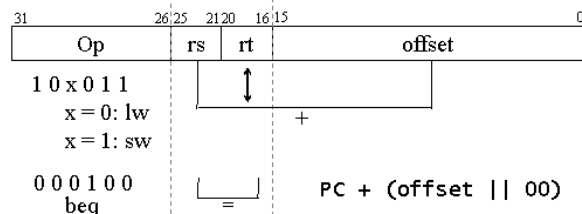
- Calcolare le prestazioni (in termini di tempo medio di esecuzione) dell'implementazione.
- Supponendo di sostituire la ALU con una nuova unità che richieda 1 ns (al posto di 2 ns) proporre una modifica (indicate nel datapath e nel diagramma degli stati) in grado di migliorare le prestazioni.
- Calcolare il miglioramento delle prestazioni ottenuto.

[5]

Promemoria formati delle istruzioni:



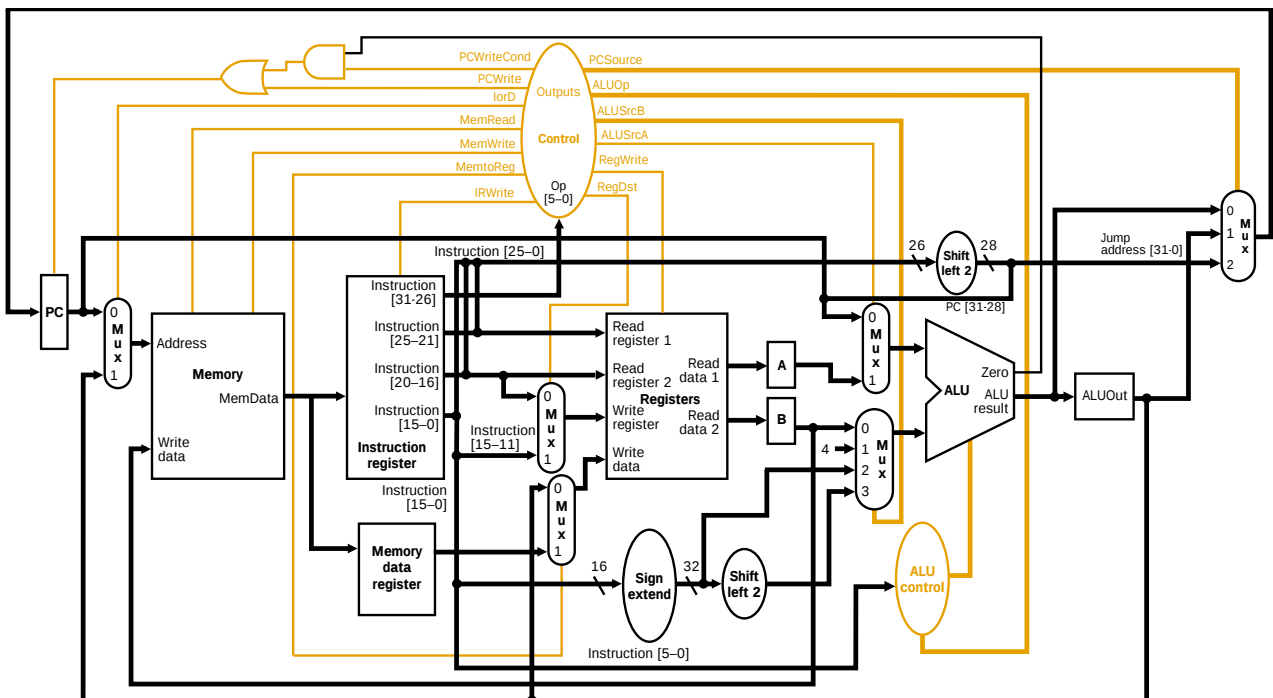
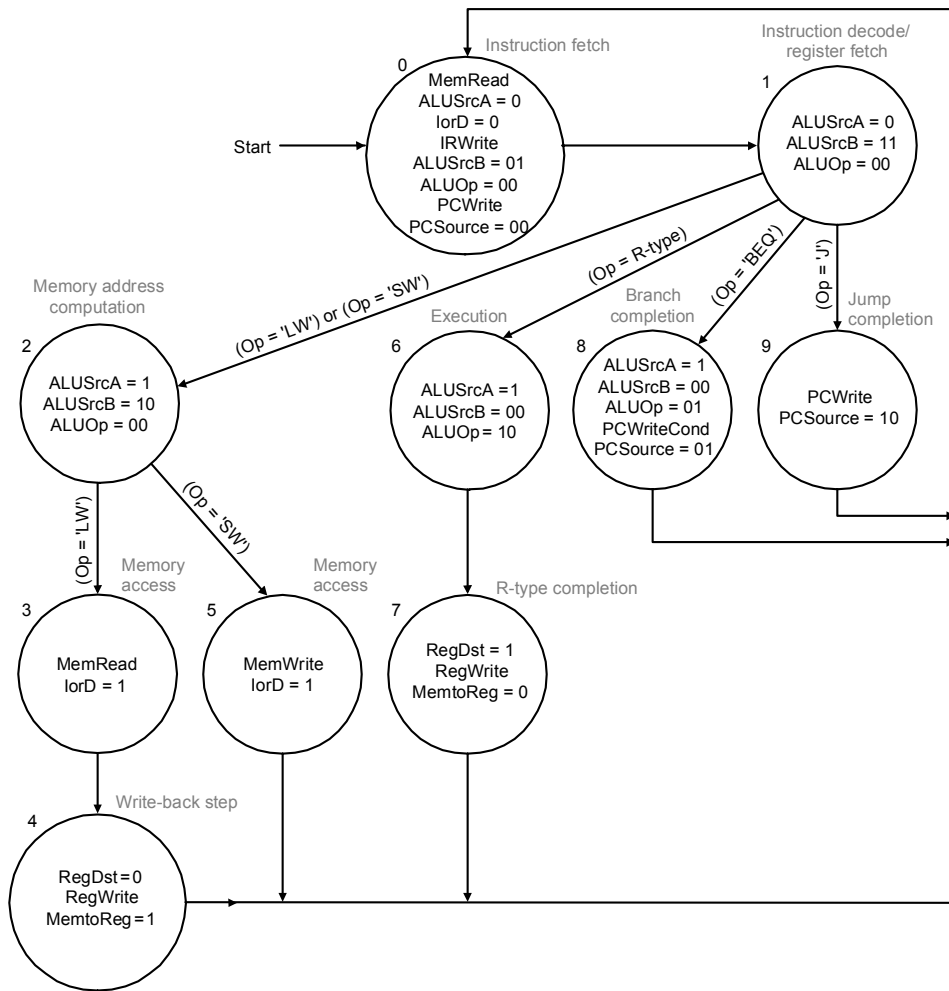
Aritmetiche:
Tipo-R



lw, sw, beq:
Tipo-I



J: Tipo-J



2. Si consideri il seguente frammento di codice MIPS:

```
lw    $s1, 28($s1)
sw    $s1, 20($t0)
add   $s1, $t0, $t0
sub   $s1, $s1, $t0
```

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

- a) individuare in modo preciso tutte le dipendenze tra i dati
- b) tracciare il diagramma temporale delle istruzioni (indicando esplicitamente le eventuali propagazioni e, per ognuna di esse, quale dato è propagato) in ognuna delle seguenti ipotesi:
 - è disponibile un'unità di propagazione verso lo stadio E
 - è disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Nei diagrammi, si chiede di indicare il numero di cicli di penalità.

[5]

3. Nell'ambito delle tecniche di controllo con pipeline, si consideri la tecnica del "salto ritardato" per la gestione delle criticità sui salti. Si assuma che vi sia un solo slot di ritardo. Motivando le risposte, si dica quali delle seguenti affermazioni sono esatte e quali sbagliate:
- L'hardware del processore esegue l'istruzione successiva ad un salto condizionato soltanto se questa è indipendente dalla condizione di salto, altrimenti la scarta.
 - L'hardware del processore esegue comunque l'istruzione successiva al salto condizionato, sia nel caso in cui il salto viene eseguito sia nel caso in cui il salto non viene eseguito.
 - Non vi è alcun accorgimento hardware per la gestione dei salti, la cui gestione è demandata interamente al programmatore (o al compilatore).
 - Il programmatore (o il compilatore) deve fare in modo che il codice sia ordinato in modo tale da massimizzare le prestazioni, ma può comunque basarsi completamente sulla gestione dei salti da parte dell'hardware che garantisce la correttezza nell'esecuzione del codice.
- [3]

4. Nell'ambito delle tecniche di controllo con pipeline, si illustri brevemente (max 5-6 righe) la differenza tra tecniche di predizione statica e dinamica dei salti.
- Si consideri una tecnica di previsione dinamica realizzata mediante un automa a due stati: si disegni l'automa riportando la predizione associata ad ogni stato e, per ogni transizione, la condizione associata.
- Si dica il motivo per cui questa soluzione (con automa a due stati) non è pienamente soddisfacente nella gestione dei cicli e si illustri una possibile estensione per migliorarla. [5]

5. Si consideri l'implementazione del processore con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back) che utilizza la predizione dinamica sui salti mediante BTB (Branch Target Buffer). Si ricorda che il BTB contiene, oltre alla statistica utilizzata per la predizione dei salti condizionati, anche l'indirizzo di destinazione predetto. Per i salti condizionati, si ipotizzi in particolare che:
- la condizione di salto sia valutata nello stadio D
 - il calcolo dell'indirizzo di destinazione effettivo sia effettuato nello stadio E

Si consideri il seguente frammento di codice MIPS:

```
    beq    $s0, $s1, Dest
    add    $t0, $t1, $t2
    . . .
Dest: add    $t0, $t0, $t1
    sub    $t3, $t0, $t0
```

Si chiede di tracciare il diagramma temporale delle istruzioni nell'ipotesi in cui il BTB preveda per l'istruzione `beq` che il salto venga effettuato ma la predizione sia errata (ovvero il salto in realtà non venga effettuato) e di indicare il numero di cicli di penalità. [3]

6. Con riferimento alla tecnica di gestione della memoria virtuale mediante un TLB a 4 elementi e tabella delle pagine, si dica motivando brevemente la risposta quali delle seguenti situazioni [a, b, c] sono possibili, quali impossibili e perché: [3]

a)

TLB		
bit di validità	Numero di pagina virtuale	Numero di pagina fisica
1	00000000000000010	10000000
0	00000000000000010	11111111
1	00000000000001000	11000000
1	00000000000001111	11100000

b)

TLB		
bit di validità	Numero di pagina virtuale	Numero di pagina fisica
1	00000000000000010	10000000
1	00000000000000010	11111111
1	00000000000001000	11000000
1	00000000000001111	11100000

c)

TLB		
bit di validità	Numero di pagina virtuale	Numero di pagina fisica
1	00000000000000010	10000000
1	00000000000000011	11111111
0	00000000000001000	11000000
0	00000000000001111	11100000

Tabella delle pagine

bit di validità	
1	11111001
1	11111000
0	...
1	11111111
1	00000000
0	.
0	.
.	.
.	.
0	.

7. E' dato un bus asincrono che collega un processore P e diversi dispositivi, tra cui la memoria. Il bus è costituito da n linee dati, utilizzate per la trasmissione sia dei dati che degli indirizzi (bus multiplexato) e dalle linee di controllo seguenti:

READ: utilizzato dal processore per segnalare una richiesta di lettura da un dispositivo.

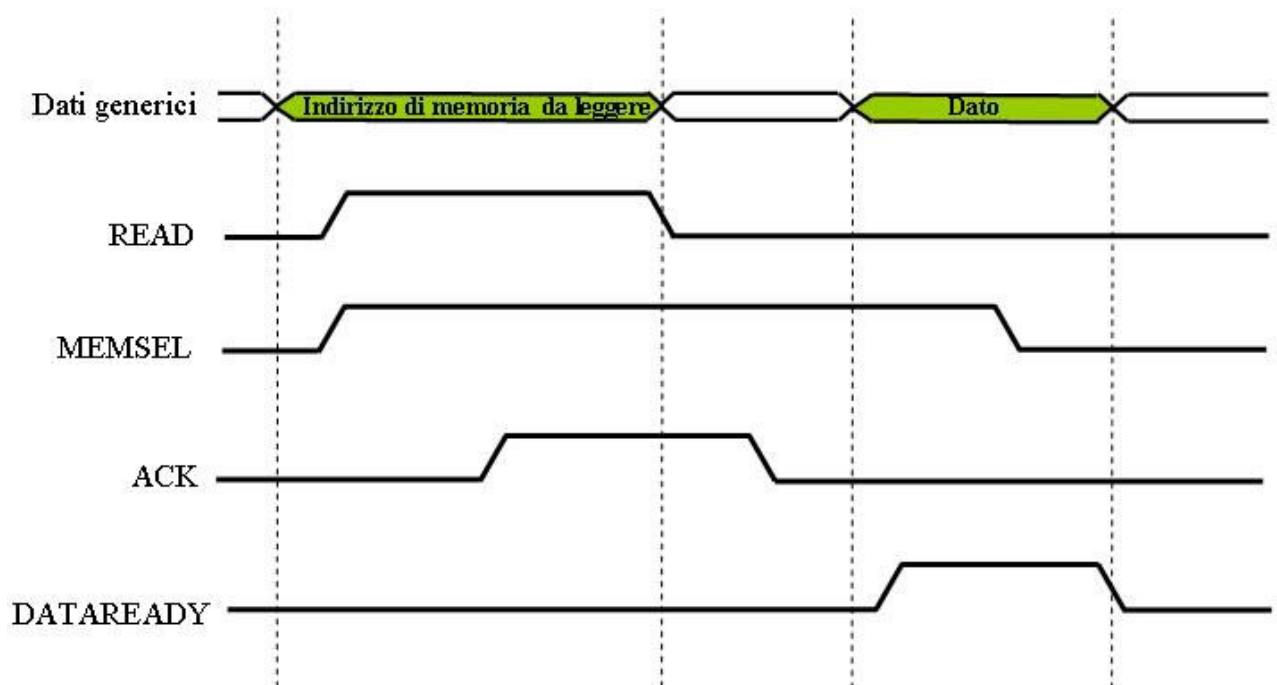
MEMSEL: utilizzato dal processore per segnalare una richiesta di accesso alla memoria.

ACK: segnale di riscontro (acknowledgement) usato dal dispositivo.

DATAREADY: segnale usato per segnalare quando un dato è disponibile sul bus.

Tutti i segnali di controllo sono attivi a livello alto.

La figura seguente riporta l'evoluzione temporale di un'operazione di trasferimento di una parola da un dispositivo (per esempio la memoria) a P (lettura).



Si chiede di:

- Illustrare le relazioni tra i segnali del diagramma precedente, con riferimento al protocollo di handshaking ed alle relazioni di causa-effetto che intercorrono tra i segnali stessi.
- Specificare la macchina a stati finiti che controlla l'esecuzione, nel processore (master), del protocollo di handshaking in lettura illustrato nel precedente diagramma.
- Specificare la macchina a stati finiti che controlla l'esecuzione, nel dispositivo (slave), del protocollo di handshaking in lettura illustrato nel precedente diagramma.

