

# CALCOLATORI ELETTRONICI B – 13 dicembre 2005

**NOME:**

**COGNOME:**

**MATR:**

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si consideri la formula del tempo medio di accesso a una memoria cache:

$$hC + (1-h)M$$

(h: frequenza di hit, C: tempo di successo, M: penalità di fallimento).

In che cosa consiste e con quale accorgimento sull'indirizzamento dei moduli di memoria viene effettuata la tecnica dell'interlacciamento (interleaving) della memoria RAM?

Su quali (o quale) dei precedenti parametri essa ha un'influenza positiva e perché? [3]

2. Si consideri il seguente frammento di codice MIPS:

```
add  $s0, $t1, $t2
sub  $s1, $s0, $t1
add  $s1, $s1, $s0
lw   $t0, 10($s1)
add  $s1, $t0, $t0
```

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

- a) individuare in modo preciso tutte le dipendenze tra i dati
- b) tracciare il diagramma temporale delle istruzioni nell'ipotesi sia disponibile un'unità di propagazione verso lo stadio E (indicando esplicitamente le propagazioni e, per ognuna di esse, quale dato è propagato)
- c) risolvere il punto precedente supponendo sia disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

[6]

3. Si consideri l'implementazione con pipeline a 5 stadi dell'esercizio precedente, per la quale si utilizza un hardware che richiede i seguenti tempi di esecuzione:

- prelievo istruzione e accesso alla memoria dati: 4 ns

- ogni altra operazione critica (ALU, decodifica, lettura e scrittura register file): 2 ns

Si assuma un carico di lavoro che prevede la seguente distribuzione delle istruzioni MIPS:

lw: 20 %

sw: 20 %

formato-R: 40 %

beq: 15 %

j: 5 %

Si supponga che metà delle istruzioni di formato-R, sw e lw siano seguite da istruzioni che ne utilizzano il risultato; in particolare, il 25 % delle istruzioni che seguono lw utilizzano il risultato nello stadio E, il rimanente 25 % utilizzano il risultato nello stadio M.

Si calcoli il tempo medio di esecuzione per istruzione:

- nel caso ideale (trascurando tutte le criticità)

Inoltre, trascurando le criticità strutturali e le criticità sui salti (ovvero, considerando solo le criticità sui dati), si calcoli il tempo medio di esecuzione nei due casi seguenti:

- disponendo di un'unità di propagazione solo verso lo stadio E

- disponendo di un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Si giustificino brevemente le risposte fornite.

[5]

4. Nell'ambito dei processori che utilizzano la pipeline, si discutano sinteticamente i criteri di progettazione del set delle istruzioni (ISA – Instruction Set Architecture) per quel che riguarda i codici di condizione delle istruzioni (ad esempio, il bit di riporto generato da un'istruzione di somma). [4]

5. Si consideri un sistema che, per gestire l'I/O, utilizza uno schema ad interruzioni (interrupt) con più linee di priorità (un'interruzione può interrompere il processore se questo sta servendo un'interruzione a priorità strettamente minore). Si consideri in particolare il problema di gestire interrupt annidati; con riferimento alle seguenti categorie di registri:

- Program Counter (PC)

- Process Status (PS) che include i codici di condizione e la priorità corrente del processore

- registri di utilizzo comune (p.es. i registri utilizzati nelle operazioni aritmetiche)

si descriva una strategia per il salvataggio e ripristino dei registri, specificando in particolare:

- al verificarsi di un'interruzione, quali registri sono salvati, "chi" li salva e dove;

- alla fine della routine di servizio (ISR), quali registri sono ripristinati, "chi" li ripristina e in che modo.

Specificare molto sinteticamente come questa soluzione è in grado di gestire correttamente le interruzioni annidate.

[4]

6. E' dato un bus asincrono che collega un processore P e diversi dispositivi slave (quale ad esempio la memoria). Il bus è costituito da  $n$  linee dati,  $m$  linee indirizzi e dalle linee di controllo seguenti:

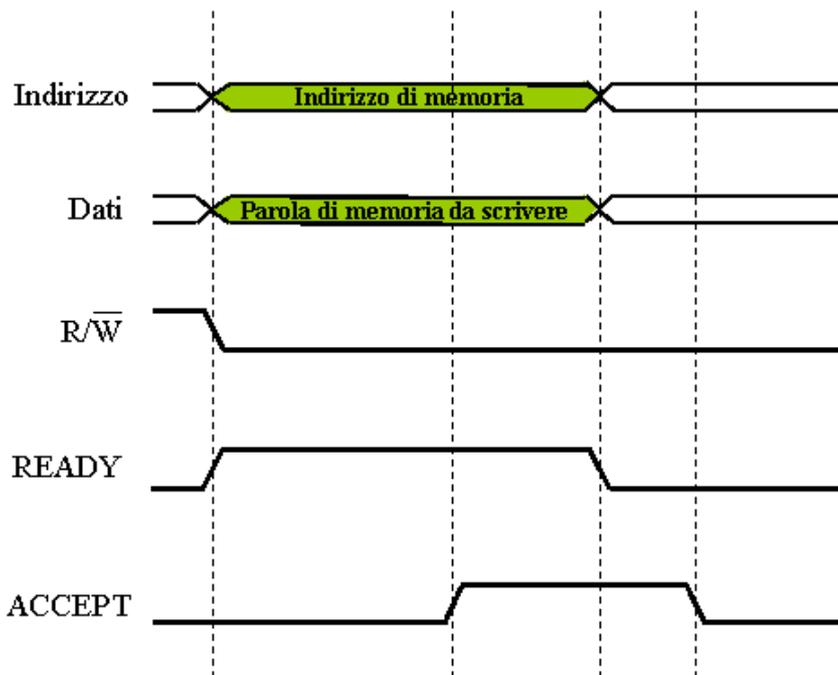
$R/\overline{W}$ : utilizzato dal processore P per segnalare una richiesta di lettura (se alto) o di scrittura (se basso).

READY: utilizzato dal processore P per segnalare una richiesta di trasferimento.

ACCEPT: utilizzato dal dispositivo indirizzato per segnalare il completamento del trasferimento richiesto.

I segnali di controllo READY e ACCEPT sono attivi a livello alto.

La figura seguente riporta l'evoluzione temporale di un'operazione di trasferimento di una parola dal processore P al dispositivo slave (scrittura).



Si chiede di:

- Illustrare le relazioni tra i segnali del diagramma precedente, con riferimento al protocollo di handshaking ed alle relazioni di causa-effetto che intercorrono tra i segnali stessi.
- Mostrare in un diagramma temporale come può avvenire un'operazione di lettura (dal dispositivo slave al processore P), illustrando le relazioni tra i segnali.
- Specificare la macchina a stati finiti che controlla l'esecuzione, nel processore P (master), del protocollo di handshaking in lettura di cui al punto b). [8]



