

CALCOLATORI ELETTRONICI B – 10 gennaio 2007

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si consideri il seguente frammento di codice MIPS:

add \$t0, \$t0, \$t0

sw \$t1, 20(\$t0)

lw \$t1, 20(\$t1)

add \$t1, \$t1, \$t1

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

a) individuare in modo preciso tutte le dipendenze tra i dati

b) tracciare il diagramma temporale delle istruzioni (indicando esplicitamente le eventuali propagazioni e, per ognuna di esse, quale dato è propagato) in ognuna delle seguenti ipotesi:

- non è disponibile alcuna unità di propagazione

- è disponibile un'unità di propagazione verso lo stadio E

- è disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Nei diagrammi, si chiede di indicare il numero di cicli di penalità.

[6]

2. Si consideri il seguente frammento di codice MIPS:

```
add $t0, $t2, $t2
add $t1, $t2, $t2
beq $t1, $t3, Dest
sub $s3, $s4, $s3
```

Dest: add \$s4, \$s4, \$s4

```
sub $t1, $t1, $t1
```

Si consideri un'implementazione tramite pipeline a 5 stadi in cui la decisione e l'esecuzione del salto beq avvengono nel terzo stadio della pipeline. Per la gestione delle criticità sui salti, viene adottata la tecnica del salto ritardato.

Quanti slot di ritardo sono presenti? Perché?

Si indichi, motivando brevemente la soluzione proposta, come potrebbe essere riordinato il codice per gestire la criticità sul salto beq. [6]

3. Si consideri un processore MIPS implementato tramite pipeline a 5 stadi, per la quale si utilizza un hardware che richiede i seguenti tempi di esecuzione:

- prelievo istruzione e accesso alla memoria dati: 2 ns
- lettura e scrittura Register File: 1 ns
- Operazione ALU, decodifica: 2 ns

Si assuma un carico di lavoro che prevede la seguente distribuzione delle istruzioni MIPS:

lw:	20 %
sw:	20 %
formato-R:	40 %
beq:	15 %
j:	5 %

Si supponga che il 40% delle istruzioni lw siano seguite da istruzioni che ne utilizzano il risultato nello stadio E, il 10% da istruzioni che ne utilizzano il risultato nello stadio M ed il rimanente 50% da istruzioni che non ne utilizzano il risultato.

Trascurando le criticità strutturali e le criticità sui salti (ovvero, considerando solo le criticità sui dati), si calcoli il tempo medio di esecuzione nei due casi seguenti:

- disponendo di un'unità di propagazione solo verso lo stadio E
- disponendo di un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Si giustificino brevemente le risposte fornite.

[4]

4. Si risponda alla domanda precedente considerando anche le criticità sui salti, assumendo le seguenti ipotesi:
- si dispone di un'unità di propagazione verso lo stadio E
 - i salti incondizionati non comportano mai alcuna penalità
 - per i salti condizionati, si utilizza la tecnica di predizione statica demandata al calcolatore; l'indirizzo di destinazione è calcolato nello stadio D, mentre la valutazione della condizione di salto e l'aggiornamento del program counter sono effettuati nello stadio E
 - ogni salto condizionato beq effettua il salto nell'80% dei casi, non lo effettua il rimanente 20%; in entrambe le situazioni, l'accuratezza della predizione della condizione di salto è pari al 90%.

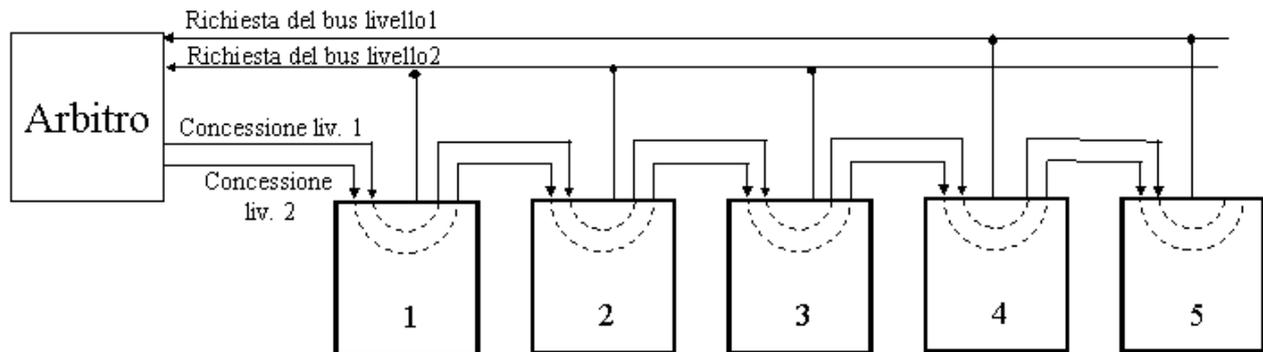
Si giustificino brevemente le risposte fornite.

[3]

5. Con riferimento alla memoria virtuale, si illustri sinteticamente (4-5 righe al massimo) la funzione del TLB. Si consideri il caso in cui il numero di pagina virtuale non sia contenuto nel TLB: è possibile dire che ciò provoca in ogni caso un'eccezione per mancanza di pagina (page-fault)? Perché?

Nel caso in cui la pagina fisica associata alla pagina virtuale sia presente in memoria, come viene calcolato l'indirizzo fisico a partire da quello virtuale? [4]

6. Si consideri il seguente schema di arbitraggio per l'accesso ad un bus, in cui vengono utilizzate due linee di richiesta a diversa priorità (il livello 1 si assume a priorità maggiore rispetto al livello 2) a ciascuna delle quali i dispositivi sono collegati in daisy chain. Si chiede di ordinare i 5 dispositivi secondo le loro priorità nell'accesso al bus (dal dispositivo a priorità massima al dispositivo a priorità minima!) [1]



7. E' dato un bus sincrono che collega un processore P ad una memoria M e che consente il trasferimento di parole di memoria a blocchi. Il bus è dotato di linee distinte per dati e indirizzi. Inoltre, le linee di controllo coinvolte in un'operazione di trasferimento di un blocco di parole dalla memoria al processore (lettura) sono le seguenti:

READ: utilizzato dal processore P per segnalare una richiesta di lettura di un blocco dalla memoria. Esso rimane attivo (a livello basso) fino a quando il processore desidera leggere ulteriori parole; viene disattivato dal processore nel corso della lettura dell'ultima parola per segnalare la fine del trasferimento.

WAIT: utilizzato dalla memoria per segnalare, prima dell'inizio del trasferimento, la necessità di uno o più cicli di clock di attesa.

La pagina seguente riporta l'evoluzione temporale di un'operazione di lettura di un blocco costituito da due parole di memoria.

Si chiede di:

- Specificare la macchina a stati finiti che controlla l'esecuzione, nel processore P, del protocollo di lettura di un blocco di due parole, assumendo che la memoria possa richiedere l'attesa di un numero arbitrario di cicli.
- Specificare la macchina a stati finiti che controlla l'esecuzione, nella memoria M, del protocollo di lettura da parte del processore di un blocco di un numero generico di parole, assumendo che la memoria M necessiti di richiedere l'attesa di un ciclo di clock.

Le specifiche proposte devono essere coerenti con il diagramma che segue.

[6]

