

CALCOLATORI ELETTRONICI B – 6 aprile 2006

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si considerino, mostrati nelle figure alla pagina seguente, il datapath ed il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica a multiciclo relativamente alle istruzioni MIPS lw, sw, beq, j ed alle istruzioni di tipo-R.

Si vuole implementare una nuova istruzione "load upper immediate" (lui) che carica nei 16 bit più significativi di un registro una costante (a 16 bit) specificata nell'istruzione macchina, lasciando i 16 bit meno significativi del registro inalterati. Ad esempio, se il registro *t0* ha inizialmente il valore 3, dopo l'esecuzione dell'istruzione

lui \$t0, 1

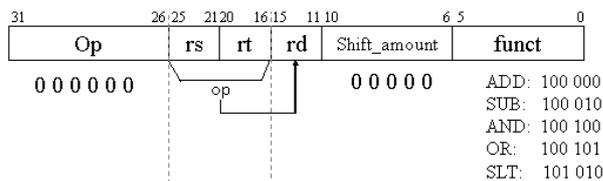
il registro *t0* ha valore 65539 (ovvero $2^{16} + 3$).

Ricordando i tre formati di codifica delle istruzioni (riportati di seguito) si chiede di:

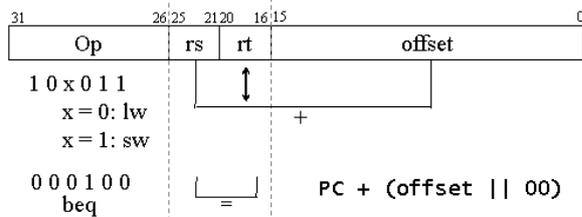
- specificare quale dei registri (rs, rt o rd) funge da operando dell'istruzione *lui* (si cerchi per quanto possibile di minimizzare le modifiche al datapath)
- riportare il formato della nuova istruzione macchina
- riportare, nella corrispondente figura, le modifiche necessarie al datapath
- estendere il diagramma degli stati per implementare la nuova istruzione

[6]

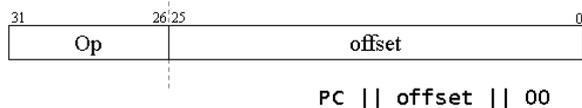
Promemoria formati delle istruzioni:



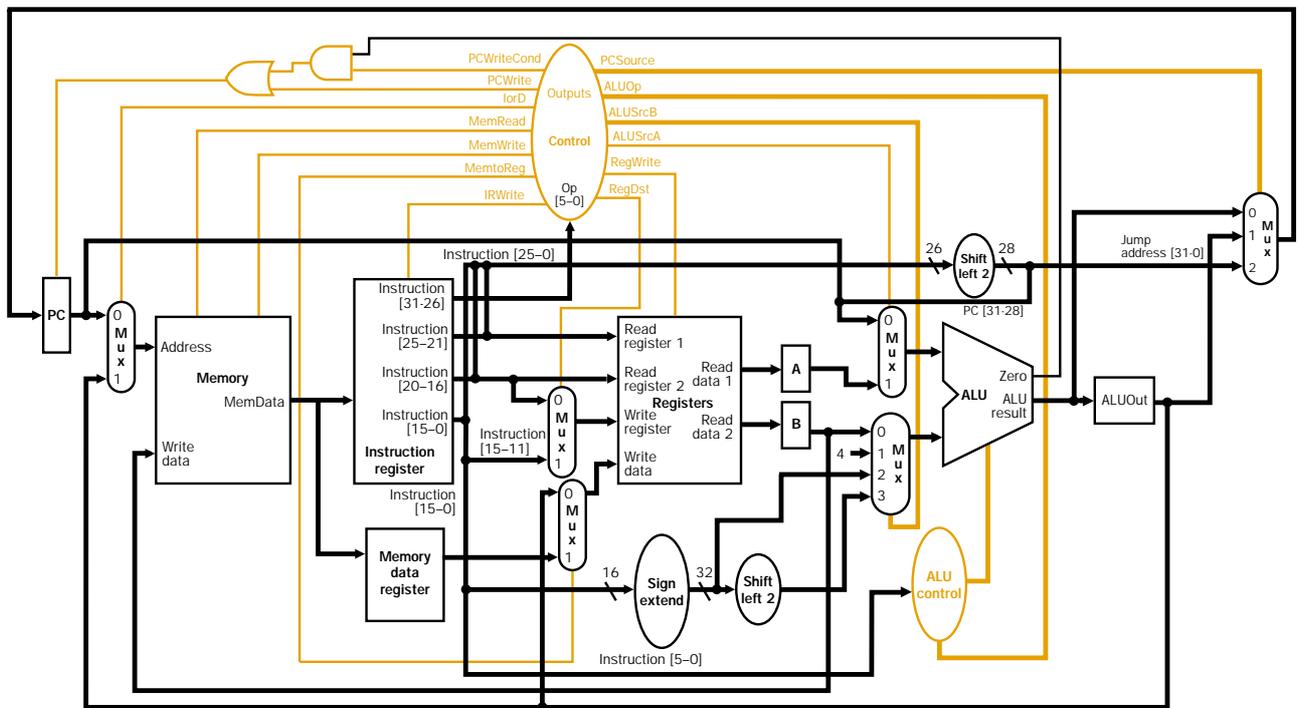
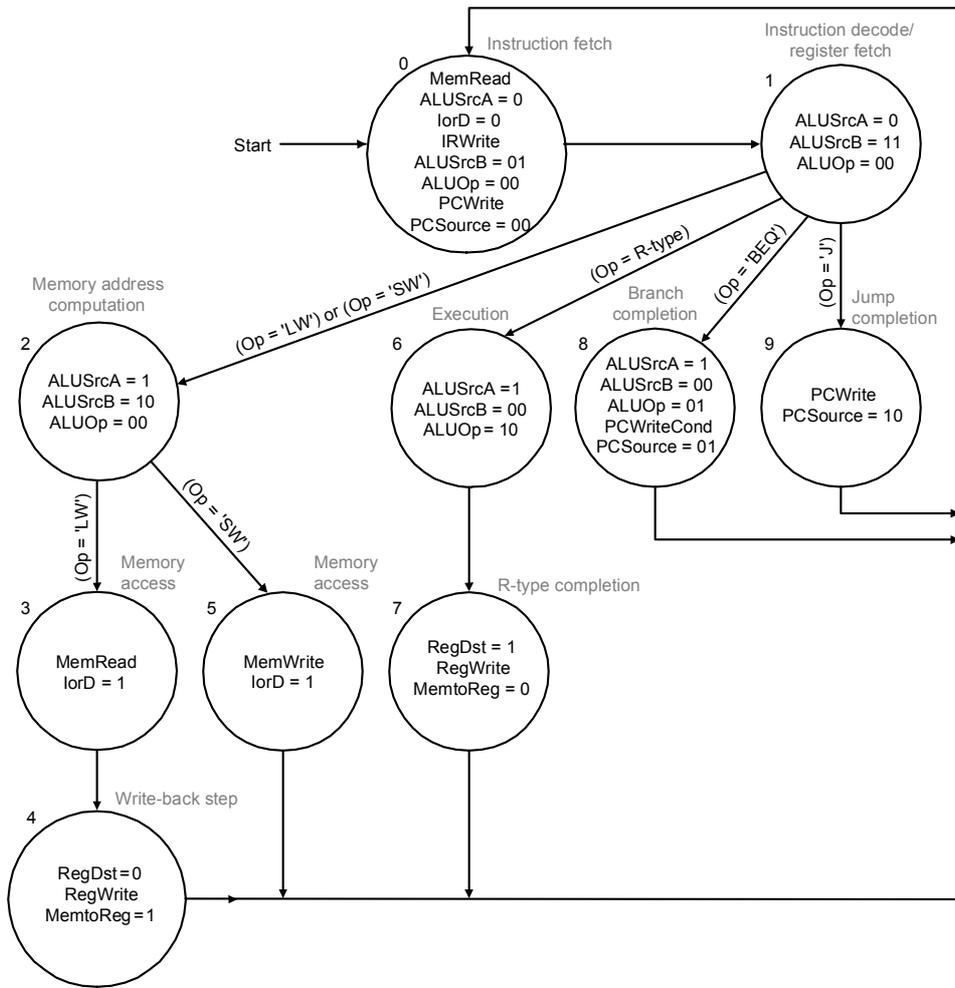
Aritmetiche:
Tipo-R



lw, sw, beq:
Tipo-I



J: Tipo-J



2. Si consideri il seguente frammento di codice MIPS:

```
add $t0, $t0, $t0
```

```
sub $t0, $s1, $s1
```

```
lw $s1, 20($t0)
```

```
sw $s1, 30($t0)
```

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

a) individuare in modo preciso tutte le dipendenze tra i dati

b) tracciare il diagramma temporale delle istruzioni (indicando esplicitamente le eventuali propagazioni e, per ognuna di esse, quale dato è propagato) in ognuna delle seguenti ipotesi:

- non è disponibile alcuna unità di propagazione

- è disponibile un'unità di propagazione verso lo stadio E

- è disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M. [6]

3. Si consideri un processore, dotato di pipeline, che disponga solamente di una cache primaria distinta per i dati e le istruzioni. La cache, che in caso di successo consente naturalmente di accedere all'istruzione o al dato in un ciclo di clock, presenta le seguenti caratteristiche:
- percentuale di successo (hit rate): 90% per le istruzioni, 80% per i dati
 - penalità di fallimento: 10 cicli di clock
- Si suppone che il 40% delle istruzioni faccia riferimento a dati in memoria.

Trascurando ogni altra criticità (criticità sui dati, sui salti ed altre criticità strutturali) si calcoli il CPI (numero medio di cicli di clock per istruzione) ottenuto.

Si supponga ora di dotare il processore di una cache secondaria per la quale si ha:

- percentuale di successo (hit rate): 95% per le istruzioni, 85% per i dati

Per trasferire un blocco dalla cache secondaria alla cache primaria occorrono 3 cicli di clock.

Si calcoli il nuovo CPI ottenuto in questo caso e si confrontino le prestazioni rispetto al caso precedente. [5]

4. Si illustri sinteticamente la tecnica del salto ritardato per la gestione delle criticità sul controllo nell'implementazione con pipeline.
Se un'istruzione di salto aggiorna il program counter nel terzo stadio della pipeline, quanti slot di ritardo occorrono? Perché? [3]

5. Si illustri la differenza tra la tecnica di write-through e quella di write-back nella gestione della memoria cache. Si precisi in particolare il loro ruolo nell'assicurare la coerenza tra i dati presenti nella cache e i dati in memoria principale, considerando i due casi di hit in scrittura e miss in scrittura. [3]

6. Aiutandosi eventualmente con un semplice schema, si descriva sinteticamente la modalità di collegamento “daisy chain” dei dispositivi e (con tale modalità) la gestione dell’interrupt vettorizzato, precisando in particolare l’ordine di priorità con cui i dispositivi vengono serviti. [4]

7. Con riferimento a due ipotetici segnali REQUEST (inviato dal master allo slave) e ACK (inviato dallo slave al master) si illustri sinteticamente un’ipotetica transazione in un bus asincrono utilizzando il protocollo di handshaking, evidenziando in modo preciso il significato dei segnali e le relazioni di causa-effetto tra le loro transizioni. [3]

