

Calcolatori Elettronici B

a.a. 2007/2008

BUS: ESERCIZI

Massimiliano Giacomini

TEMA D'ESAME DEL 29 GIUGNO 2005 (bus asincrono)

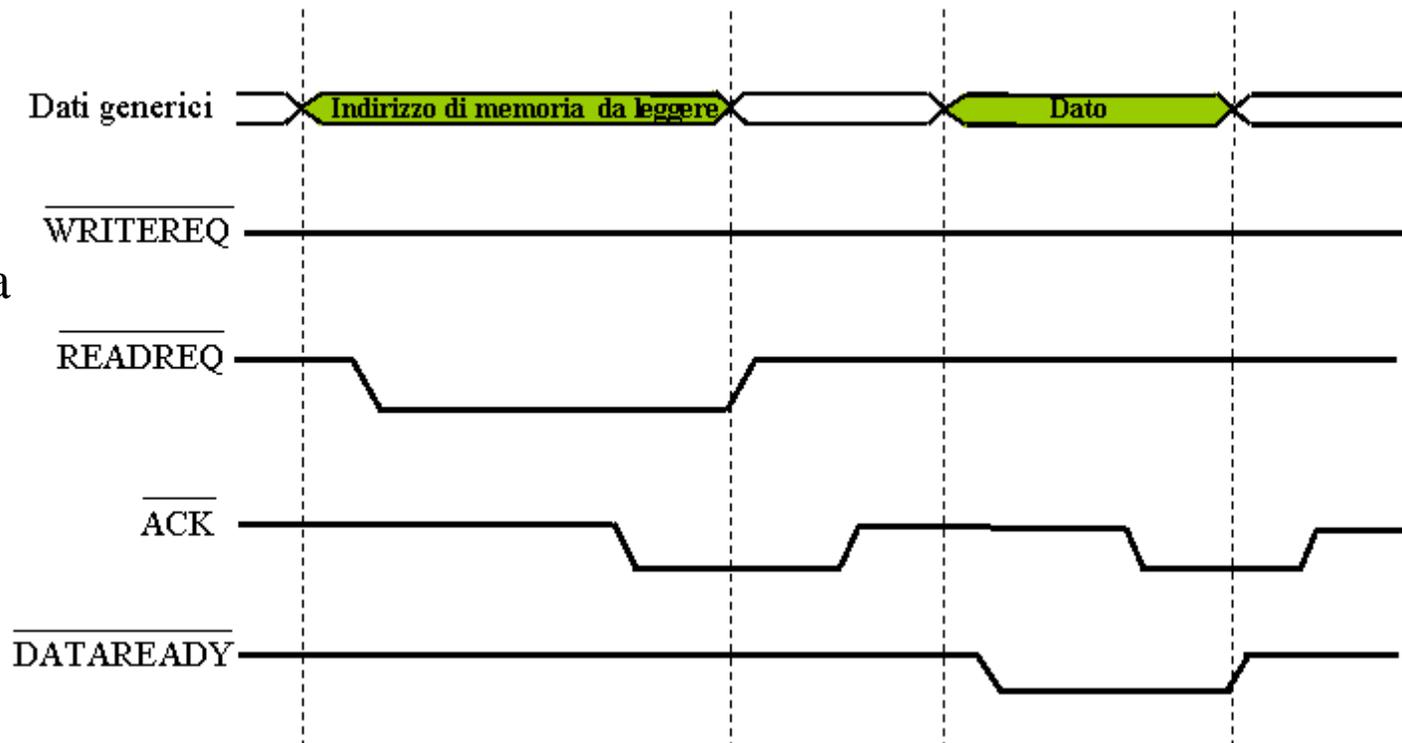
E' dato un bus asincrono che collega un processore P e diversi dispositivi, tra cui la memoria. Il bus è costituito da n linee dati, utilizzate per la trasmissione sia dei dati che degli indirizzi (bus multiplexato) e dalle linee di controllo seguenti:

READREQ: utilizzato dal processore per segnalare una richiesta di lettura.

WRITEREQ: utilizzato dal processore per segnalare una richiesta di scrittura.

DATAREADY: utilizzato dal processore o dal dispositivo per segnalare di aver posto un dato sulle linee dato.

ACK: segnale di acknowledgement usato dal processore o dal dispositivo.



La figura riporta l'evoluzione di una operazione di trasferimento da dispositivo a P (lettura)

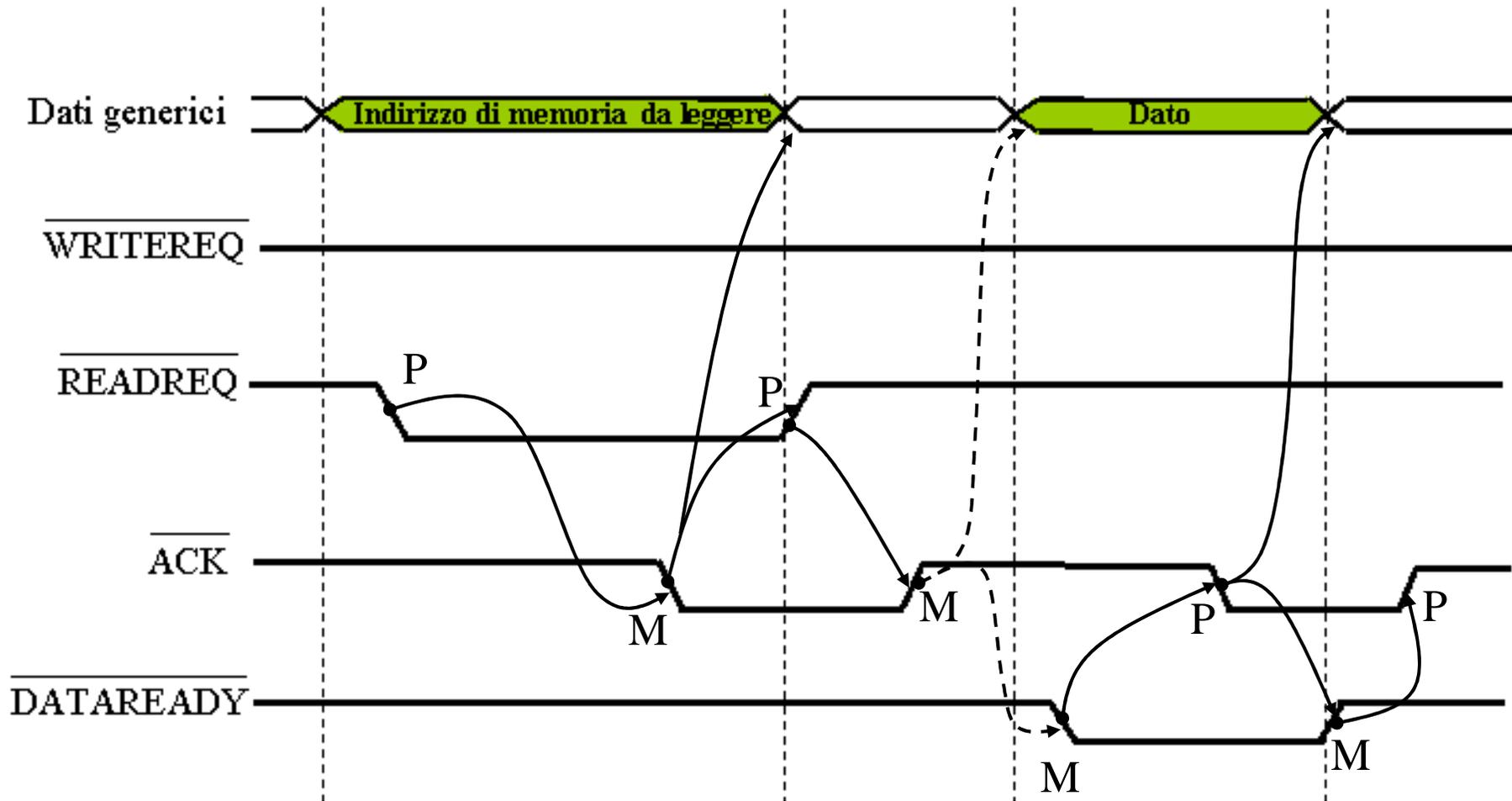
Si chiede di:

- a) Illustrare le relazioni tra i segnali del diagramma precedente, con riferimento al protocollo di handshaking ed alle relazioni di causa-effetto che intercorrono tra i segnali stessi.
- b) Mostrare in un diagramma temporale come può avvenire un'operazione di scrittura (dal processore P al dispositivo), illustrando brevemente il significato dei segnali.
- c) Specificare la macchina a stati finiti che controlla l'esecuzione, nel dispositivo (slave), del protocollo di handshaking in scrittura di cui al punto b).

[8]

Risoluzione punto a

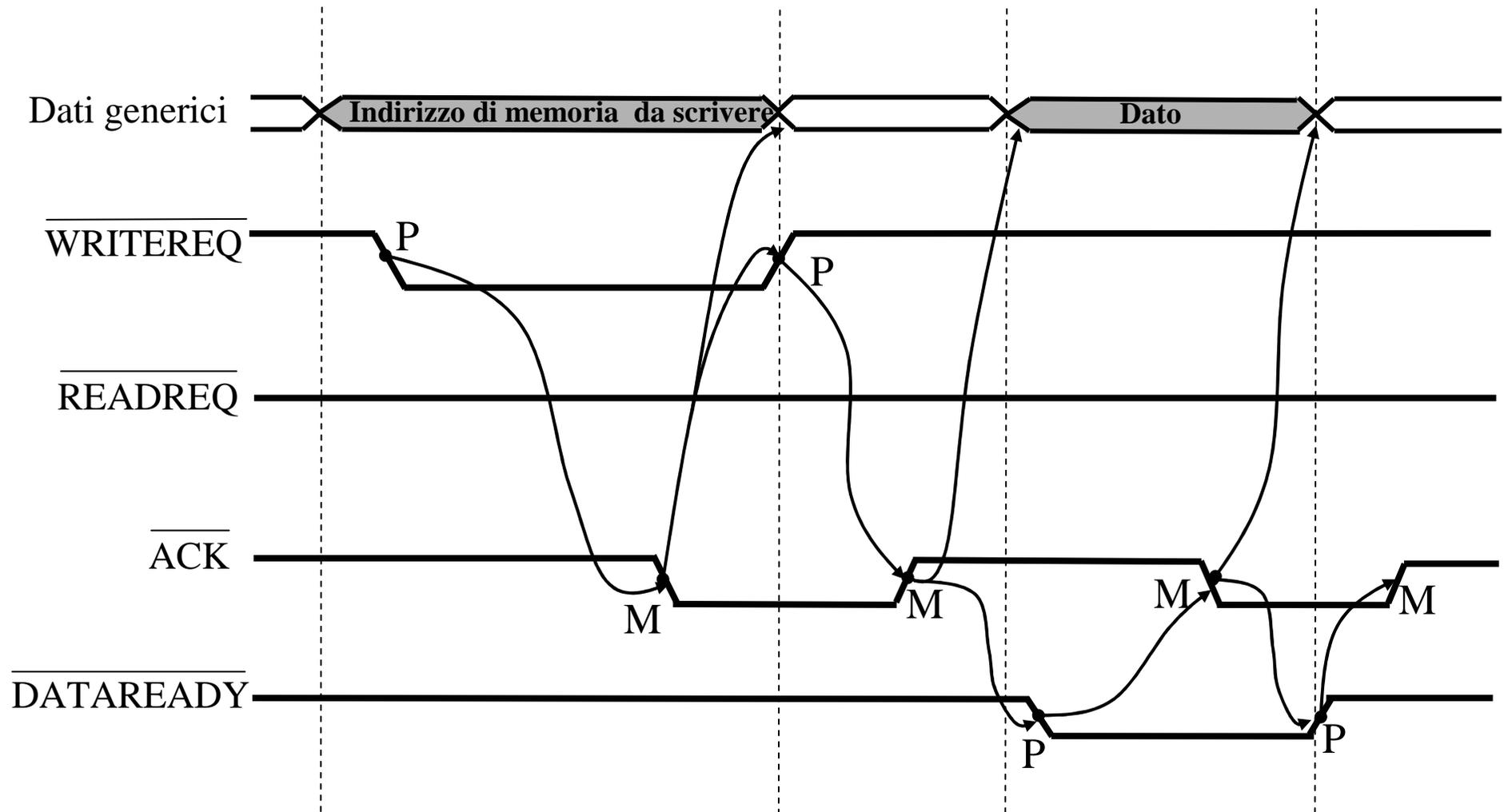
P: processore
M: slave (memoria)



+ spiegazione testuale...

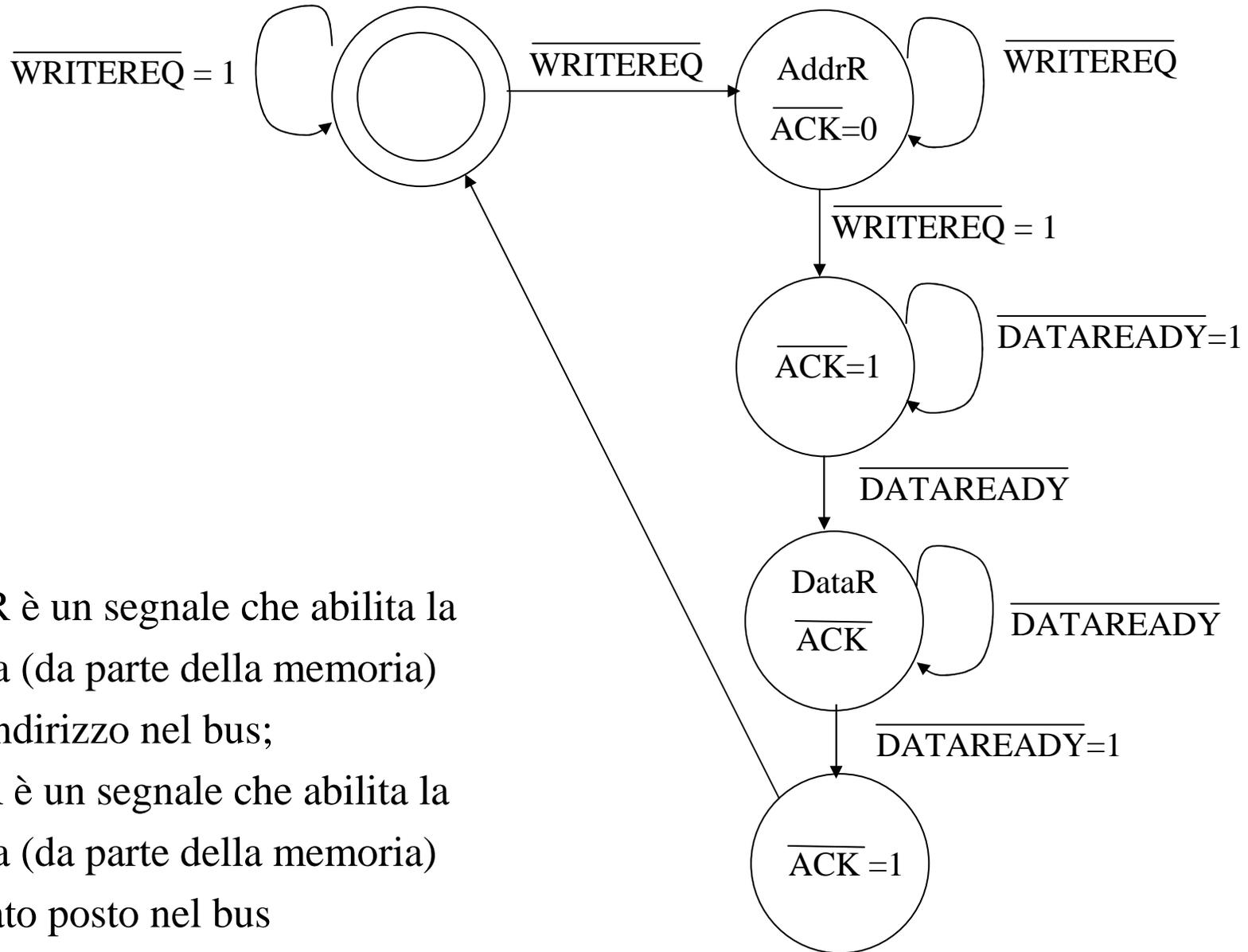
Risoluzione punto b

OPERAZIONE DI SCRITTURA



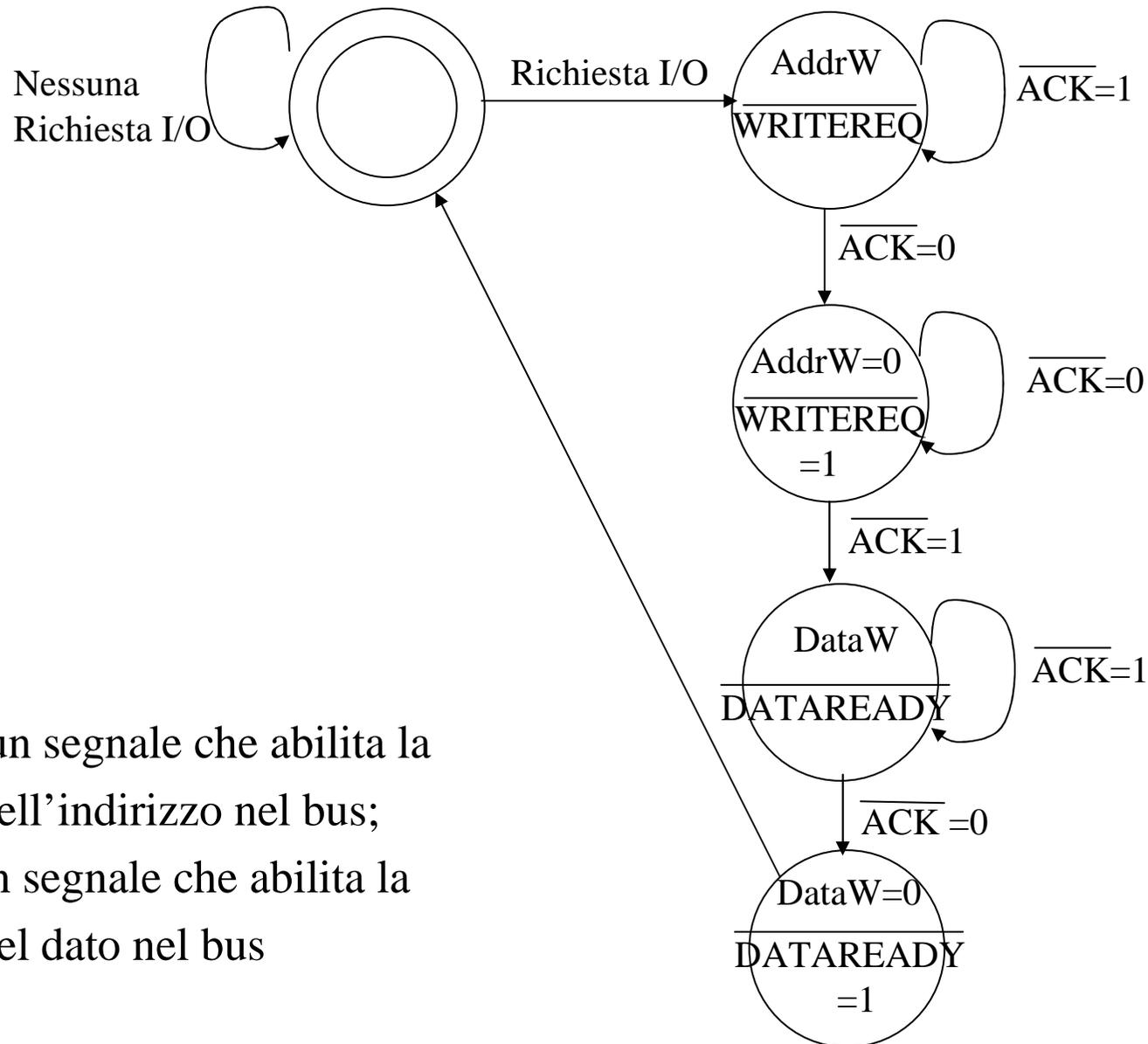
Risoluzione punto c

DIAGRAMMA SLAVE (operaz. di scrittura)



- AddrR è un segnale che abilita la lettura (da parte della memoria) dell'indirizzo nel bus;
- DataR è un segnale che abilita la lettura (da parte della memoria) del dato posto nel bus

VEDIAMO PER ESERCIZIO IL DIAGRAMMA DEL MASTER (P)



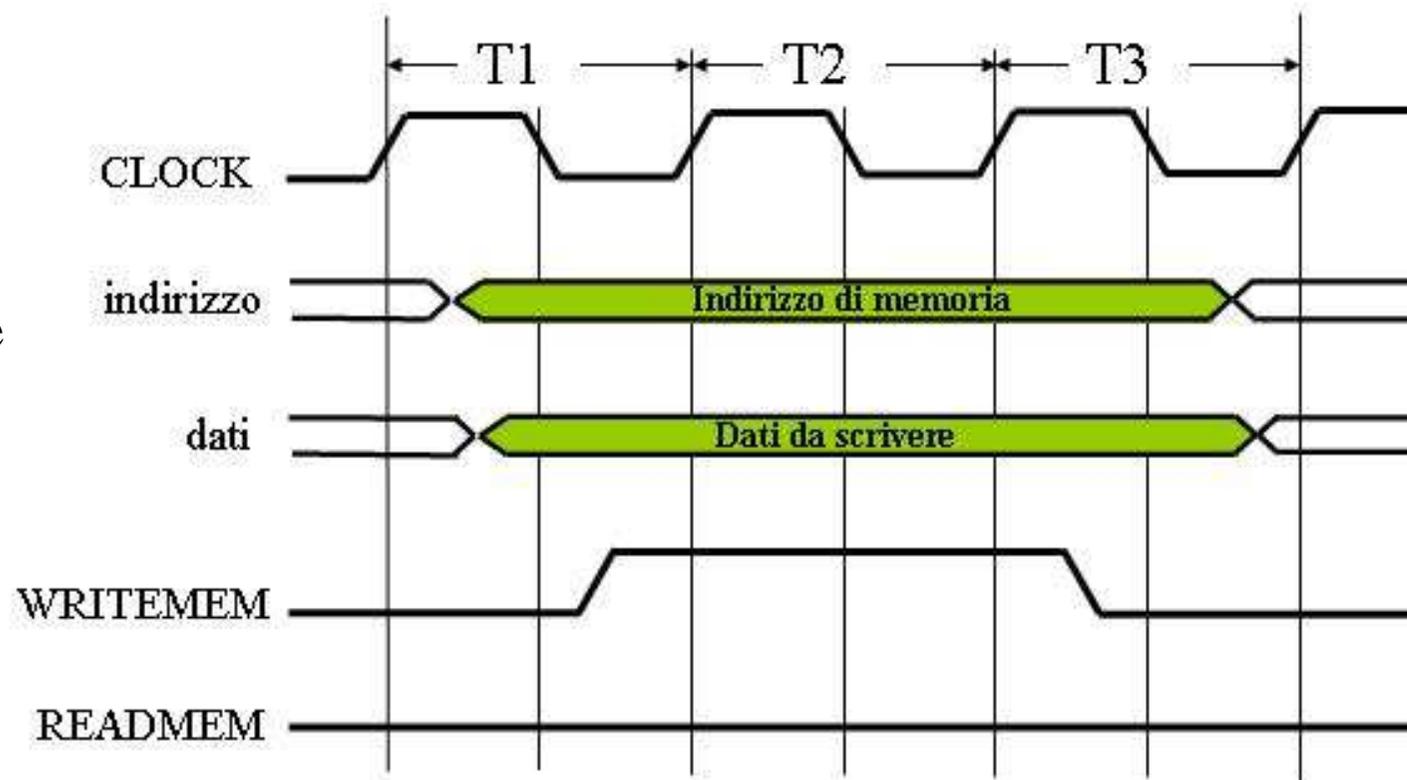
- AddrW è un segnale che abilita la scrittura dell'indirizzo nel bus;
- DataR è un segnale che abilita la scrittura del dato nel bus

ESERCIZIO 8 del TEMA D'ESAME 22 settembre 2005 (bus sincrono)

E' dato un bus sincrono che collega un processore alla memoria.
Oltre alla linea per il segnale di clock, il bus è costituito da linee distinte per dati e indirizzi, nonché dalle linee di controllo seguenti
(entrambi i segnali di controllo sono attivi a livello alto):

- WRITEMEM: utilizzato da processore per segnalare richiesta di scrittura in memoria.
- READMEM: utilizzato al processore per segnalare richiesta di lettura dalla memoria.

Evoluzione temporale di un'operazione di scrittura in memoria

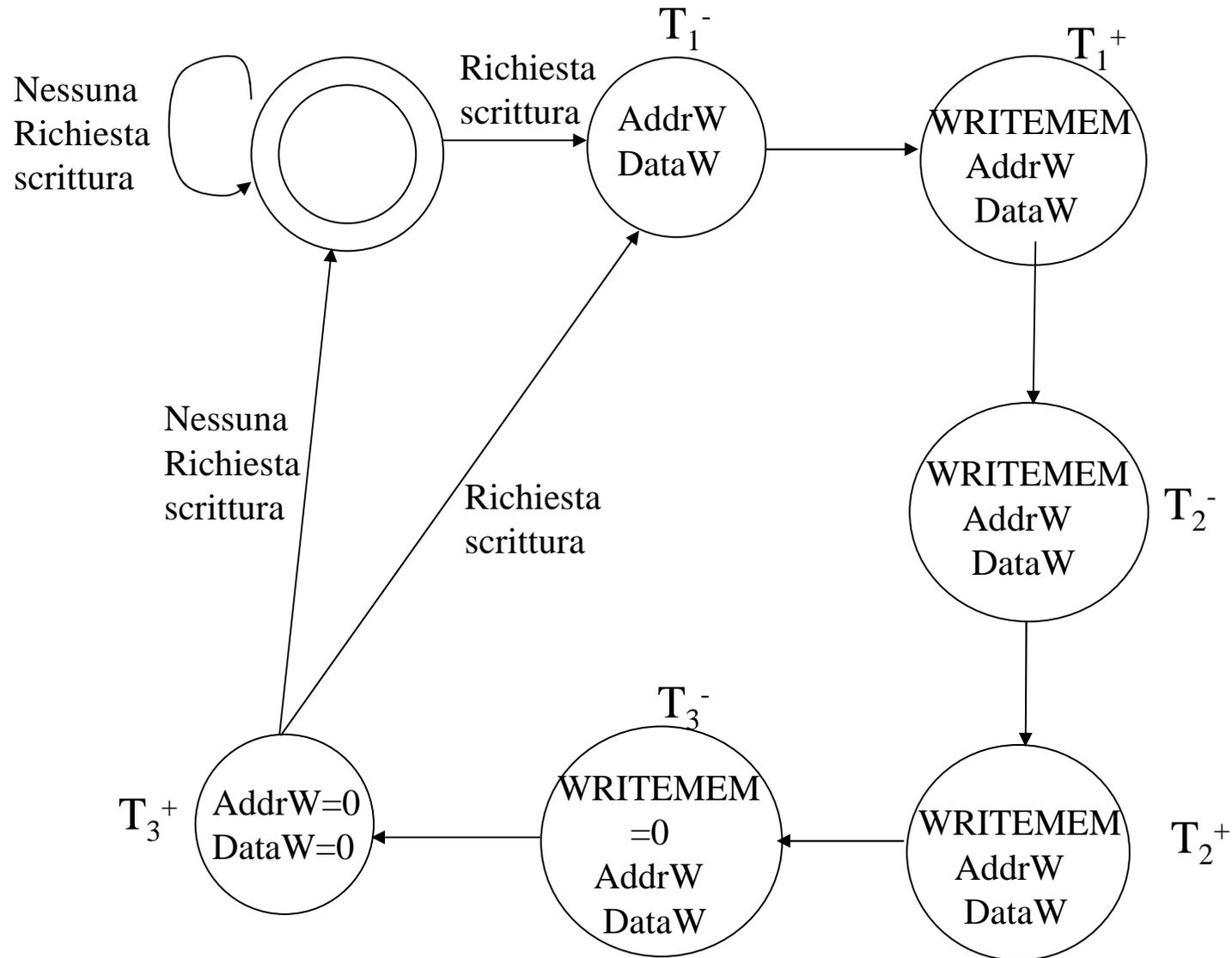


Si noti che non c'è alcun segnale di ritorno dalla memoria al processore:
si assume che la memoria richieda un determinato numero di cicli di clock
per completare l'operazione di scrittura, esattamente come avviene nel diagramma.

Si specifichino le due macchine a stati finiti che controllano l'operazione
di scrittura indicata nel diagramma, rispettivamente
per il processore e per la memoria.

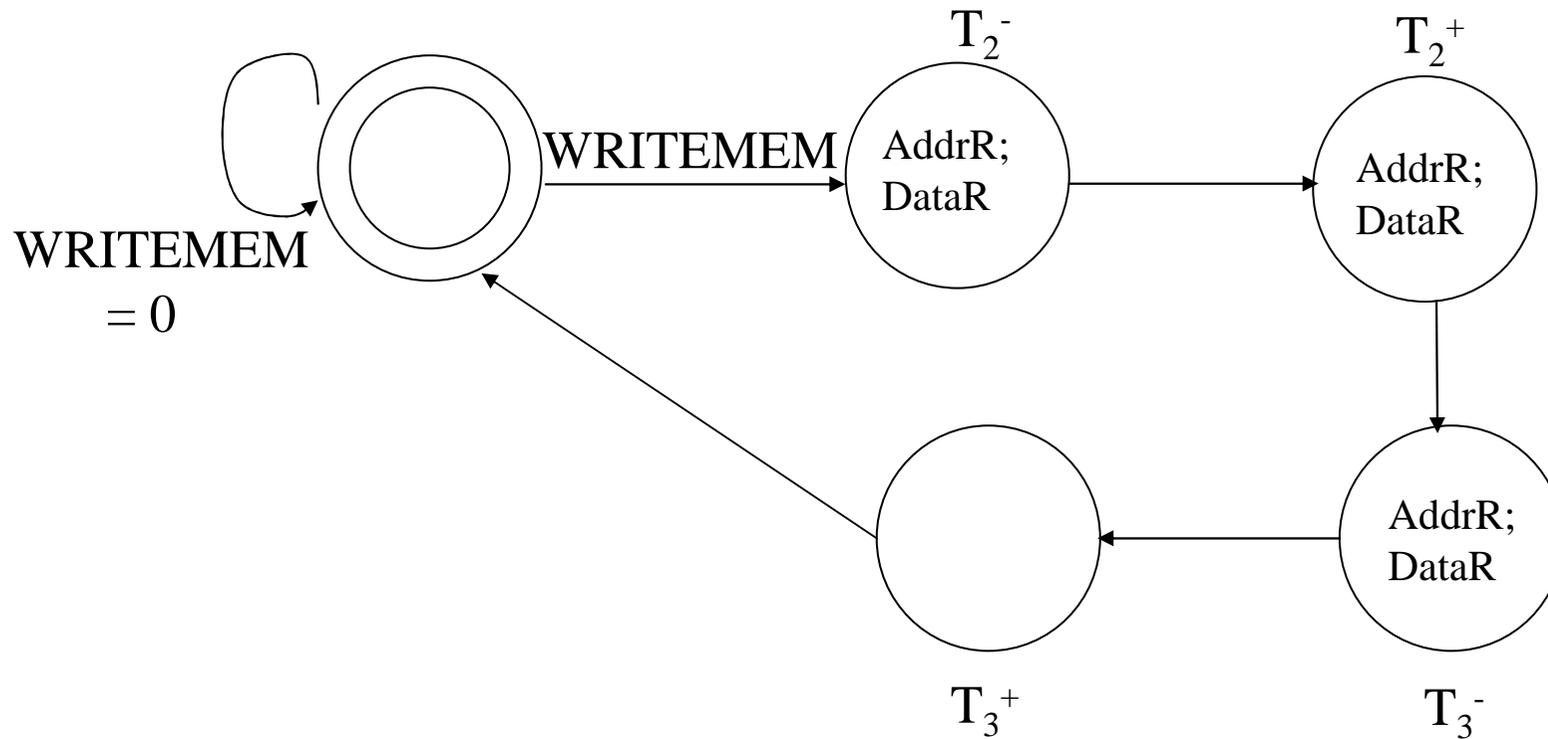
[6]

PROCESSORE (SCRITTURA)



Nota: “AddrW” e “DataW” sono segnali di controllo che abilitano rispettivamente l’invio indirizzo e del dato [da parte del master]

MEMORIA (SCRITTURA)



Nota: “AddrR” e “DataR” sono segnali di controllo interni alla memoria che abilitano l’acquisizione dal bus rispettivamente rispettivamente dell’indirizzo e del dato

Esercizio su prestazioni

- Si consideri il bus sincrono illustrato nel lucido 52 della teoria (vedi lucido seguente), assumendo di disporre di 32 bit per le linee dati e di un clock di 200 MHz
- Si assuma di poter effettuare (secondo le modalità viste) tre tipi di trasferimento:
 - singola parola
 - blocchi di 2 parole
 - blocchi di 4 parole

Tra un trasferimento e il successivo, è necessario 1 ciclo di clock di attesa

- Si consideri il trasferimento di 256 parole (di 32 bit):

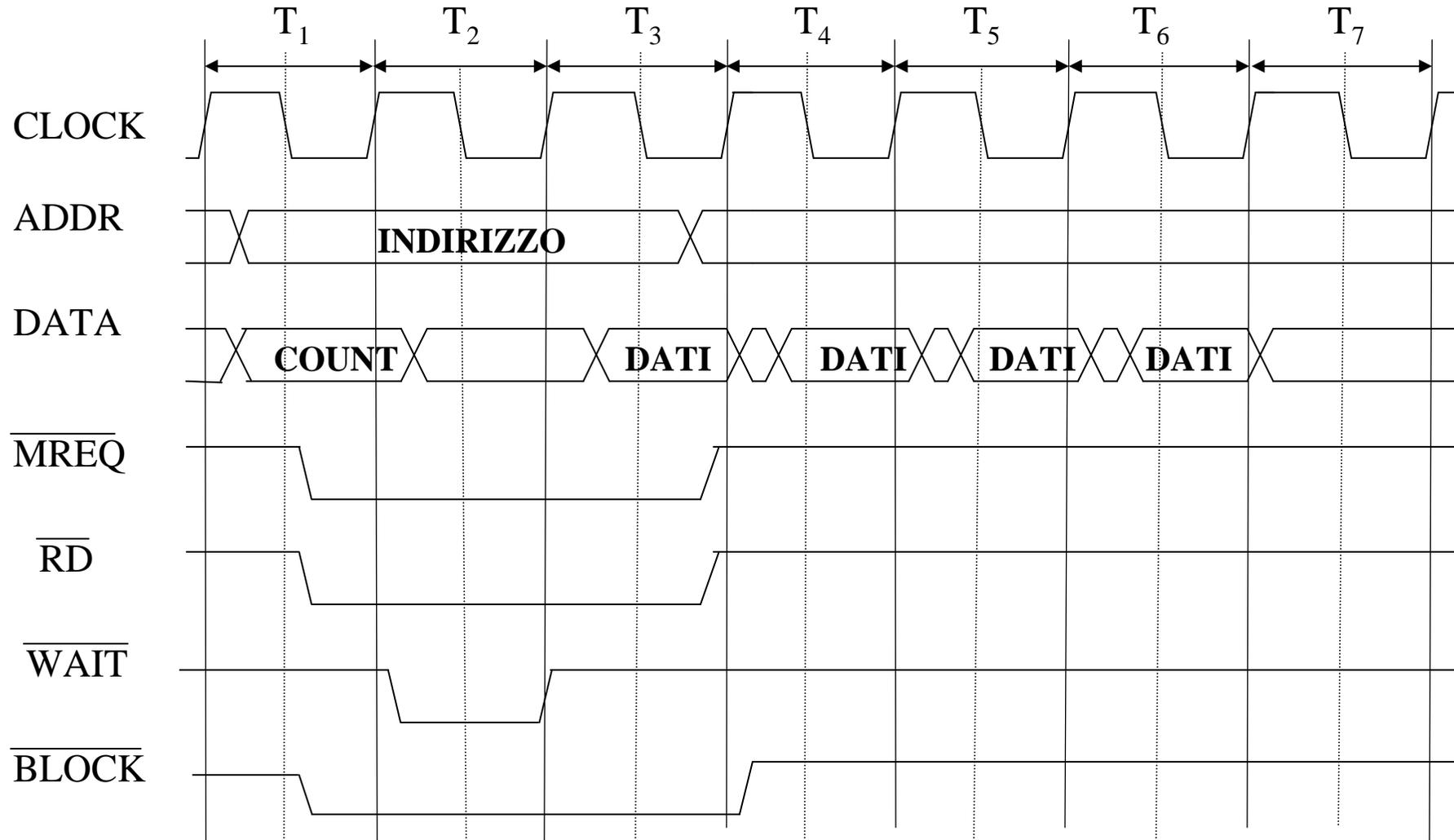
Si calcoli, per ciascuna delle tre modalità di trasferimento, il tempo di trasferimento e l'ampiezza di banda (in byte/s) raggiunta dal sistema memoria-bus

- Si assuma di poter disporre di una memoria arbitrariamente veloce.

Trovare – nello stesso caso considerato – le massime prestazioni raggiungibili

[in termini di tempo di trasferimento e ampiezza di banda]

Bus sincrono: lettura di un blocco di 4 parole



Soluzione

- $F_{\text{bus}} = 200 \text{ MHz} \Rightarrow T_{\text{bus}} = 5 \text{ ns}$ $[1/(2 \cdot 10^8) = 10/2 \cdot 10^{-9} = 5 \cdot 10^{-9}]$
- In ogni caso, vengono trasferiti $256 \cdot 4 \text{ bytes} = 1024 \text{ bytes}$

A questo punto, dal diagramma temporale si ricavano i cicli necessari per ciascun tipo di trasferimento, consentendo di ricavare i dati richiesti...

Trasferimento a parole:

1 parola (4 bytes) richiede 3 cicli di clock + 1 di attesa

Totale: $256 \cdot 4 = 1024$ cicli

$$\Rightarrow T_{\text{trasf}} = 1024 \cdot 5 \text{ ns} = 5120 \text{ ns}$$

$$\Rightarrow \text{Larghezza di banda} = (1024/5120 \cdot 10^{-9}) = 200 \text{ MB/s}$$

Trasferimento a blocchi di due parole:

E' necessario trasferire $256/2 = 128$ blocchi

1 blocco (2 parole) richiede 4 cicli di clock + 1 di attesa

Totale: $128 * 5 = 640$ cicli

$$\Rightarrow T_{\text{trasf}} = 640 * 5 \text{ ns} = 3200 \text{ ns}$$

$$\Rightarrow \text{Larghezza di banda} = (1024/3200 * 10^{-9}) = 320 \text{ MB/s}$$

Trasferimento a blocchi di quattro parole:

E' necessario trasferire $256/4 = 64$ blocchi

1 blocco (4 parole) richiede 6 cicli di clock + 1 di attesa

Totale: $64 * 7 = 448$ cicli

$$\Rightarrow T_{\text{trasf}} = 448 * 5 \text{ ns} = 2240 \text{ ns}$$

$$\Rightarrow \text{Larghezza di banda} = (1024/2240 * 10^{-9}) = 457 \text{ MB/s}$$

Se si dispone di una memoria arbitrariamente veloce, scompare nel diagramma temporale il ciclo di WAIT, quindi ciascun tipo di trasferimento richiede un ciclo in meno...

Si possono rifare tutti i calcoli con i nuovi numeri di cicli richiesti