

CALCOLATORI ELETTRONICI A – 30 febbraio 2020

NOME:

COGNOME:

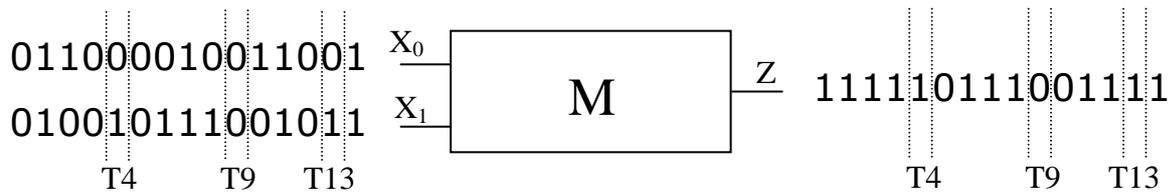
MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

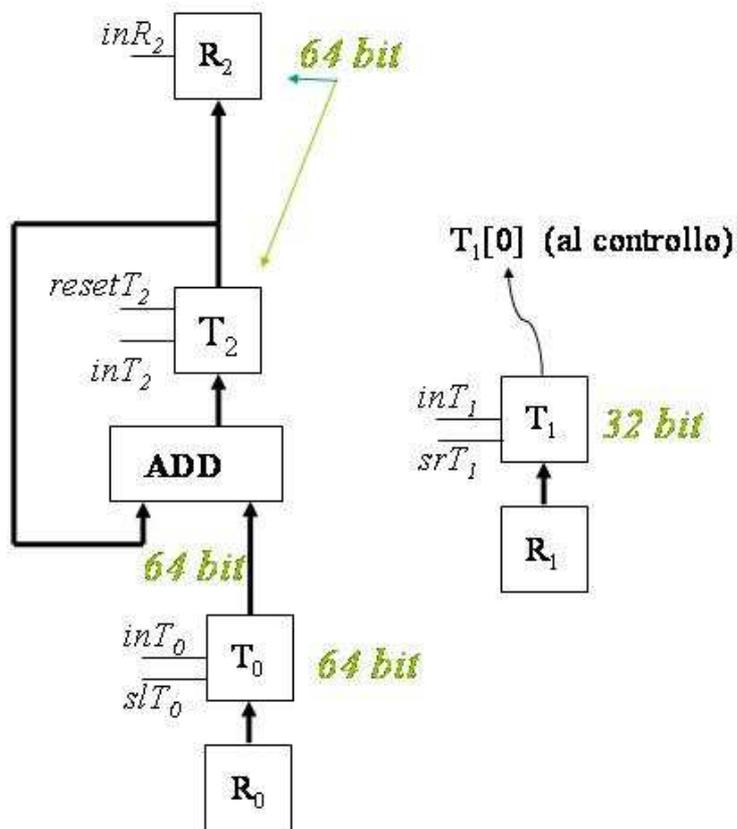
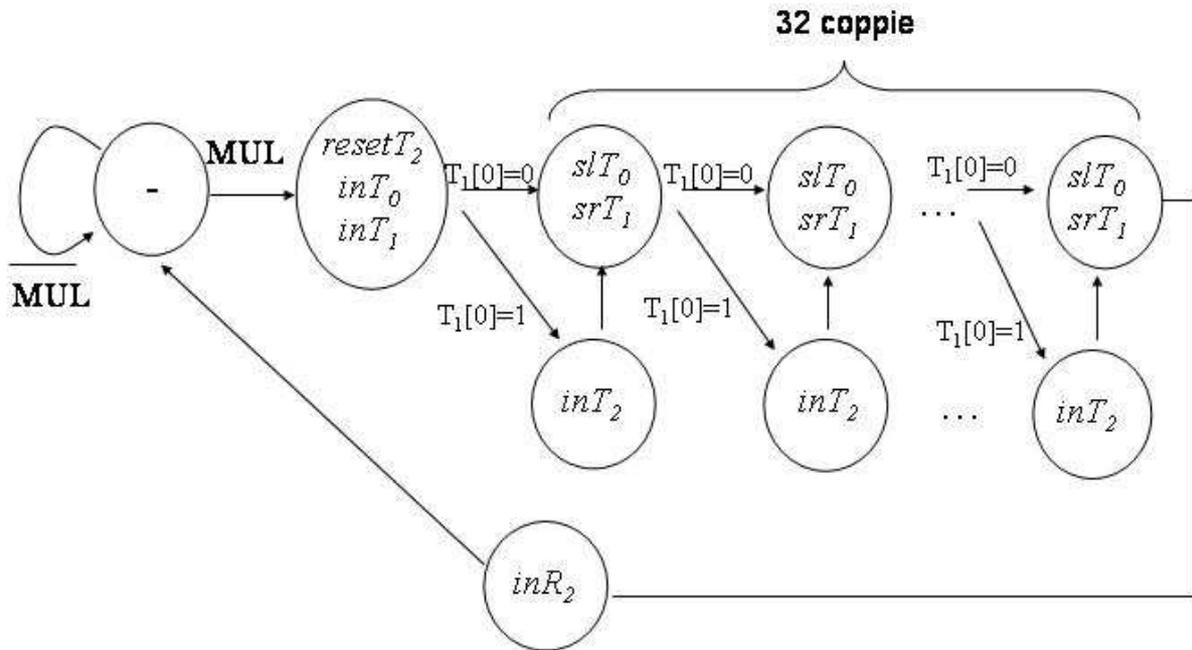
1. Progettare la macchina sequenziale M indicata in figura, la cui uscita Z, normalmente a 1, diventa uguale a X_1 per due cicli di clock ogni volta che nell'ingresso X_0 si presentano due zeri consecutivi, dopodiché si riporta allo stato iniziale. Si faccia riferimento all'esempio in figura, notando in particolare che l'uscita Z diventa uguale a X_1 già a partire dal ciclo in cui si presenta il secondo zero in X_0 .

NB: si richiede solo il disegno del diagramma degli stati.

[4]



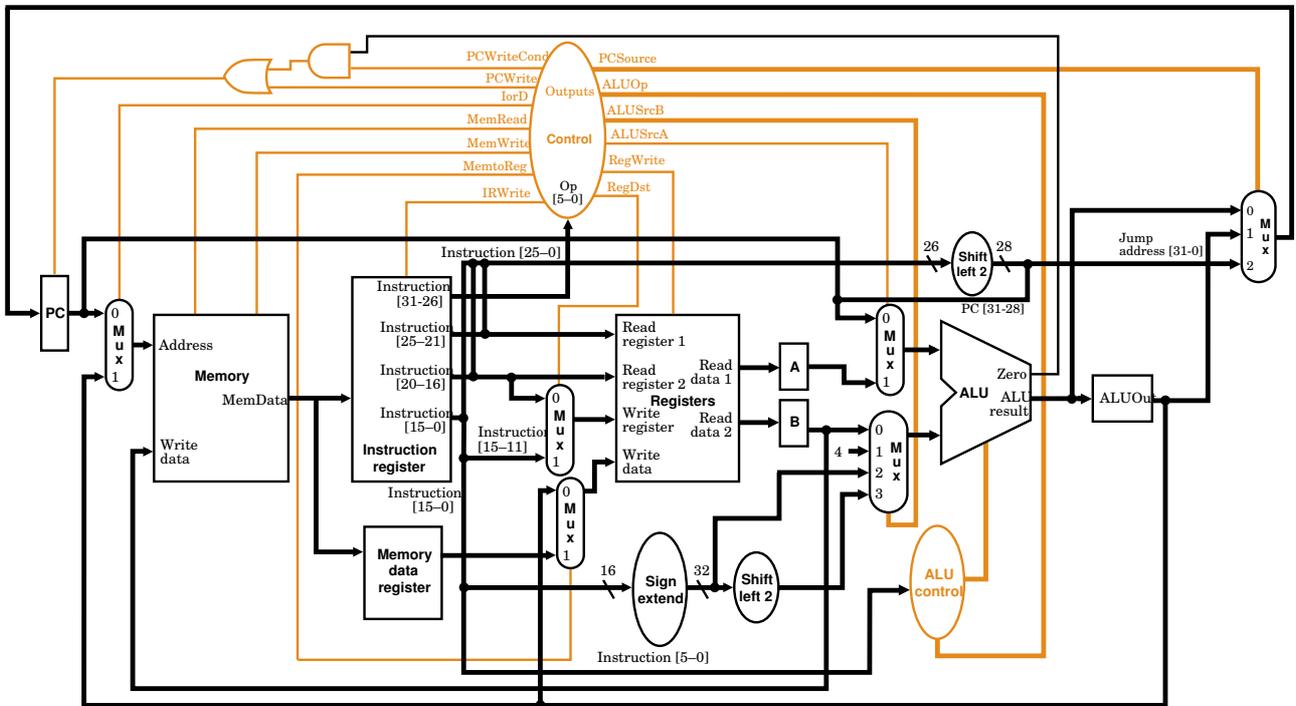
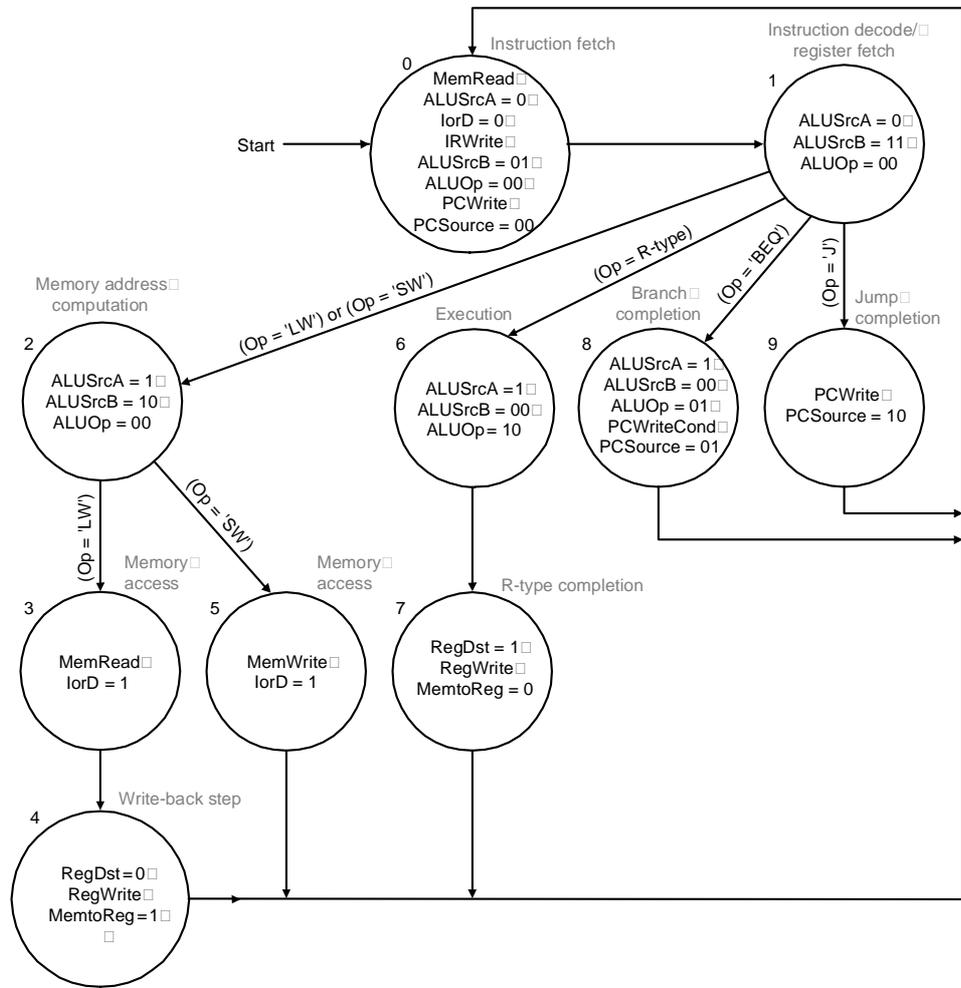
2. Nelle figure successive sono riportati rispettivamente la specifica dell'unità di controllo ed il datapath di una macchina dedicata in grado di svolgere la moltiplicazione dei valori contenuti nei registri a 32 bit R_0 e R_1 (il risultato viene posto in R_2). Tuttavia, la macchina funziona solo se nel registro T_1 il segnale di clock (non indicato nel datapath) arriva in controfase (ovvero, negato) rispetto agli altri registri. Si chiede commentare questa affermazione, descriverne le implicazioni sul tempo di clock ed individuare una ipotetica soluzione alternativa. [3]



3. Utilizzando la green card, identificare l'istruzione assembly MIPS corrispondente al codice macchina a 32 bit 02514023 (espresso in esadecimale). [2]

4. Scrivere una procedura in assembler MIPS corrispondente alla seguente funzione ricorsiva espressa in linguaggio C. Si utilizzino le note convenzioni sui registri. [5]

```
int F(int a, int b)
{
    if(a>b) return F(a-b, b);
    else return a+b;
}
```

6. Illustrare dettagliatamente il motivo per cui nell'implementazione dell'unità di controllo del processore multiciclo si preferisce adottare il modello di Moore rispetto al modello di Mealy. [4]

7. Si consideri una cache a corrispondenza diretta. Illustrare qualitativamente come variano la frequenza di miss e la penalità di miss, fissata la dimensione totale della memoria, al variare della dimensione dei blocchi. [3]

8. Si riporti lo schema del latch RS, illustrandone sinteticamente il funzionamento. [3]
9. Si consideri una cache a corrispondenza diretta in grado di memorizzare 64 KB (soltanto per la parte dati), cui si accede con indirizzi a 32 bit. Sapendo che i blocchi della cache contengono ciascuno 16 parole di 4 byte, determinare la dimensione totale in bit della memoria. [2]